



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 30 日  
Application Date

申請案號：092114693  
Application No.

申請人：南亞科技股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2003 年 8 月 5 日  
Issue Date

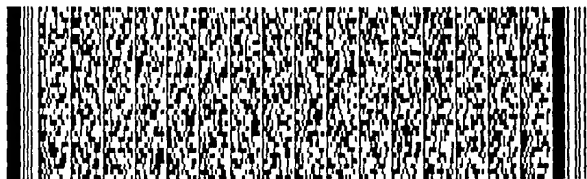
發文字號：09220789430  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	控制溝槽頂部尺寸的方法
	英 文	A method for controlling the upper width of a trench
二、 發明人 (共2人)	姓 名 (中文)	1. 王建中 2. 許平
	姓 名 (英文)	1. Jiann-Jong Wang 2. Hsu Ping
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北縣板橋市民生路二段226巷34號4樓 2. 台北縣中和市忠孝街106巷4號
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



0548-9883 (tuffin): 91215: Wayne Lien ntd

四、中文發明摘要 (發明名稱：控制溝槽頂部尺寸的方法)

一種控制溝槽頂部尺寸的方法，其先形成一導電層填入部分位於半導體基板的溝槽，並形成一間隔層填入部分該溝槽，使其間隔層位於導電層上，其後形成一犧牲層於該間隔層之上的溝槽側壁，移除間隔層，露出導電層上的溝槽側壁，接下來氧化犧牲層和露出之溝槽側壁。如此，溝槽側壁表面的犧牲層可以縮減深溝槽頂部開口區域大小，在成長氧化矽層時，其會成長在犧牲層上及其以外之矽基底暴露溝槽側壁表面上。因此，後續的濕蝕刻步驟不會擴張深溝槽頂部開口尺寸。

伍、(一)、本案代表圖為：第3G圖。

(二)、本案代表圖之元件代表符號簡單說明：

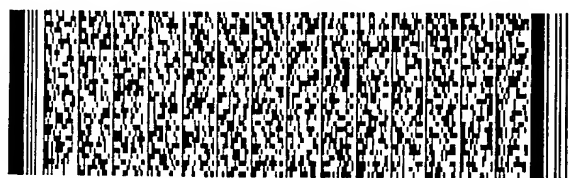
340~半導體基板；

342~深溝槽電容器；

344~ $n^+$ 型擴散區；

六、英文發明摘要 (發明名稱：A method for controlling the upper width of a trench)

A method for controlling the upper width of a trench. A conductive layer is formed on the trench over the substrate, forming an interlayer in part thereof, above the conductive layer. A sacrifice layer is formed on the trench sidewall above the interlayer and the interlayer is removed to expose the trench sidewall above the conductive layer and the sacrifice layer and the exposed trench sidewall



四、中文發明摘要 (發明名稱：控制溝槽頂部尺寸的方法)

346~ 氮化矽層；

348~ 導電層；

351、351a、351b~ 第一氧化矽層；

352~ 墊層；

DT~ 深溝槽。

六、英文發明摘要 (發明名稱：A method for controlling the upper width of a trench)

are oxidized. Thus, the sacrifice layer on the trench sidewall reduces the upper width of trench. In the oxidization process, silicon oxide is formed on the sacrifice layer and the exposed trench sidewall, such that upper width of the trench will is not increased during the following wet etching.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

本發明有關於一種深溝槽電容器製程，特別有關一種控制溝槽頂部尺寸的方法。

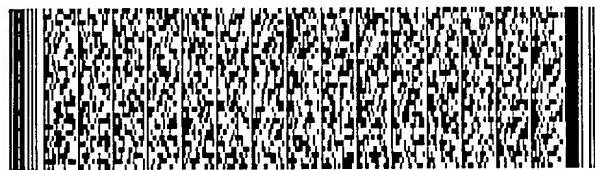
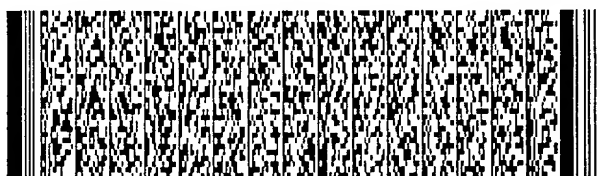
### 【先前技術】

一個動態隨機存取記憶體胞(DRAM cell)是由一個電晶體以及一個電容器所構成，目前的平面電晶體設計係搭配一種深溝槽電容器(deep trench capacitor)，將三維的電容器結構製作於半導體矽基底內的深溝槽中，可以縮小記憶單元的尺寸與電力消耗，進而加快其操作速度。

請參閱第1A圖，其顯示習知DRAM胞之深溝槽排列的平面圖。應用於折疊位元線(folded bit line)結構中，每一個主動區域中包含有兩條字元線 $WL_1$ 、 $WL_2$ 以及一條位元線BL，其中符號DT代表深溝槽，符號CB代表位元接觸插塞。

請參閱第1B圖，其顯示習知DRAM胞之深溝槽電容器的剖面示意圖。一半導體矽基底10內製作有一深溝槽DT，而深溝槽DT之下方區域係製作成為一深溝槽電容器12，其乃由一埋入電極板(buried plate)、一節點介電層(node dielectric)以及一儲存節點(storage node)所構成。

深溝槽電容器12之製作方法如下所述。首先，利用反應性離子蝕刻(RIE)方法，可於p型半導體矽基底10內形成

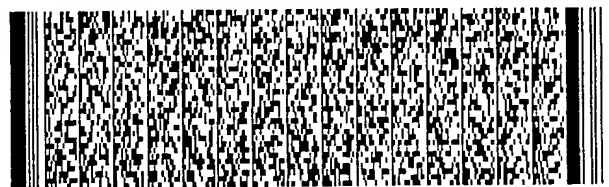
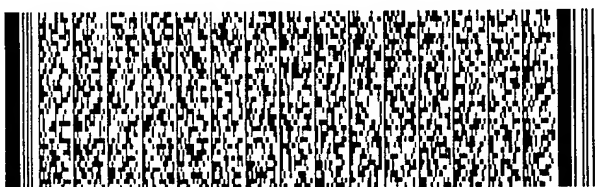


## 五、發明說明 (2)

深溝槽DT。而後，藉由一重度摻雜氧化物(例如：砷玻璃(ASG))以及高溫短時間的退火製程，可使 $n^+$ 型離子擴散至深溝槽DT下方區域，而形成一 $n^+$ 型擴散區14，用來作為深溝槽電容器12的埋入電極板。然後，於深溝槽DT下方區域之內側壁與底部形成一氮化矽層16，用來作為深溝槽電容器12的節點介電層。後續，於深溝槽DT內沉積一 $n^+$ 型摻雜之第一多晶矽層18，並回蝕(recess)第一多晶矽層18至一預定深度，則可用來作為深溝槽電容器12的儲存節點。

完成上述之深溝槽電容器12之後，先於深溝槽DT上方區域的側壁上製作一領型介電(collar dielectric)層20，再於深溝槽DT上方區域內製作一 $n^+$ 型摻雜之第二多晶矽層22，再繼續製作一第三多晶矽層24。後續則可進行一淺溝隔離(STI)結構26、字元線 $WL_1$ 、 $WL_2$ 、源/汲極擴散區域28、位元接觸插塞CB以及位元線BL等製程。淺溝隔離結構26是用來區分兩相鄰之DRAM胞。

此外，為了連接深溝槽電容器12以及表面之電晶體，深溝槽DT之頂部開口周圍的矽基底10內形成有一埋入帶外擴散(buried strap outdiffusion)區域30，亦稱之為一節點接合介面(node junction)，其形成方式是藉由第二多晶矽層22內之 $n^+$ 型離子經由第三多晶矽層24而向外擴散至鄰近的矽基底10中。因此，第三多晶矽層24也稱為一埋入帶(buried strap) 24。領型介電層20之目的是使隔絕

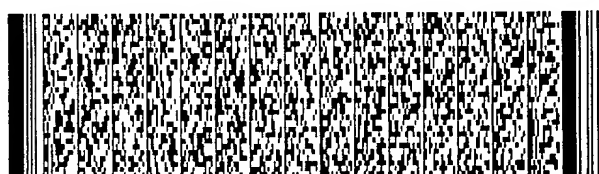


### 五、發明說明 (3)

埋入帶外擴散區域30與埋入電極板14之間達到有效的隔絕，以防止此處的漏電流問題危害DRAM胞之保留時間(retention time)。

然而，領型介電層20之傳統製作會加大深溝槽DT的頂部開口尺寸，如此會影響主動區域AA與深溝槽DT之重疊容忍度以及埋入帶外擴散區域30的分佈，特別是，會縮短源/汲極擴散區域28與埋入帶外擴散區域30之間的重疊邊緣區域L，進而導致埋入帶外擴散區域30處發生嚴重的漏電流，並影響次電壓(sub- $V_t$ )之表現。

請參閱第2A至2E圖，其顯示習知領型介電層製程之剖面示意圖。如第2A圖所示，一p型半導體矽基底10已經完成深溝槽電容器12之製作，包含有：一氮化矽墊層32、一深溝槽DT、一 $n^+$ 型擴散區14、一氮化矽層16以及一 $n^+$ 型摻雜之第一多晶矽層18。然後，如第2B圖所示，去除深溝槽DT上方區域之氮化矽層16並進行第一多晶矽層18之回蝕刻步驟之後，利用氧化方法於矽基底10之暴露表面上長成第一氧化矽層34，用以覆蓋深溝槽DT上方區域之側壁，可確保 $n^+$ 型擴散區14與後續製作之埋入帶外擴散區域30之間的絕緣效果。接著，如第2C圖所示，利用CVD方式沉積一第二氧化矽層36，再以非等向性乾蝕刻方式去除第一多晶矽層18頂部之第二氧化矽層36。



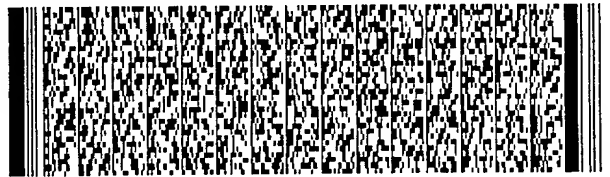
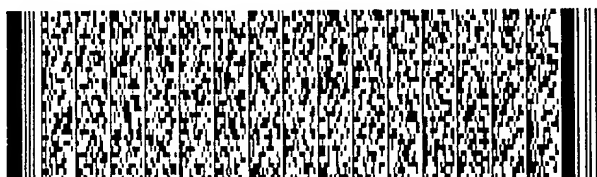
#### 五、發明說明 (4)

後續，如第2D圖所示，於深溝槽DT內沉積一 $n^+$ 型摻雜之第二多晶矽層22，並回蝕刻第二多晶矽層22至一預定深度。最後，如第2E圖所示，利用濕蝕刻方式去除部份之第一氧化矽層34以及第二氧化矽層36，直至凸出第二多晶矽層22的頂部，則殘留之第一氧化矽層34以及第二氧化矽層36係用作為一領型介電層20。

不過，由於第一氧化矽層34之氧化成長過程會使一部份的矽基底10轉變成為 $SiO_2$ ，因此後續的濕蝕刻步驟會擴張深溝槽DT頂部開口尺寸，進而縮短源/汲極擴散區域28與埋入帶外擴散區域30之間的重疊邊緣區域L，則愈加惡化漏電流現象與次電壓(sub- $V_t$ )的表現。雖然第一氧化矽層34之製作是造成深溝槽DT頂部開口擴大的最主要因素，但是第一氧化矽層34之氧化成長步驟是相當重要的，若是省略此步驟或是縮小第一氧化矽層34之厚度，則將導致 $n^+$ 型擴散區14與埋入帶外擴散區域30之間發生更嚴重的接合面漏電問題。因此，在必須進行第一氧化矽層34之氧化成長步驟的前提之下，如何改善領型介電層製程以避免擴大深溝槽DT之頂部開口尺寸，是當前亟需探究之重點。

#### 【發明內容】

有鑑於此，為了解決上述問題，本發明之目的在於提供一種控制溝槽頂部尺寸的方法，藉由形成一犧牲層於帶外擴散區域以外的深溝槽側壁上，以有效防止深溝槽之頂



## 五、發明說明 (5)

部尺寸在後續蝕刻製程中快速擴大。

為達成上述目的，本發明提供一種控制溝槽頂部尺寸的方法，包括下列步驟：提供一包括一溝槽之基板並形成導電層填入部分該溝槽。形成一間隔層填入部分該溝槽，其間隔層位於導電層上。接著，形成一犧牲層於間隔層上的溝槽側壁。之後，移除間隔層以露出導電層上的溝槽側壁，以及氧化犧牲層和露出之溝槽側壁。

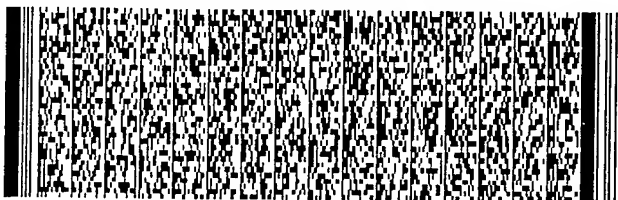
為達成上述目的，本發明提供另一種控制溝槽頂部尺寸的方法，包括下列步驟：提供包括一溝槽之基板並形成導電層填入部分該溝槽。形成間隔層填入部分該溝槽，其間隔層位於導電層上。接著，形成一遮蔽層於間隔層上的溝槽側壁。之後，移除間隔層，露出導電層上的溝槽側壁，並以遮蔽層為氧化罩幕，以氧化露出之溝槽側壁。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

### 【實施方式】

#### 第一實施例

請參閱第3A至3J圖，其顯示本發明控制溝槽頂部尺寸的方法之第一實施例之製程剖面圖。

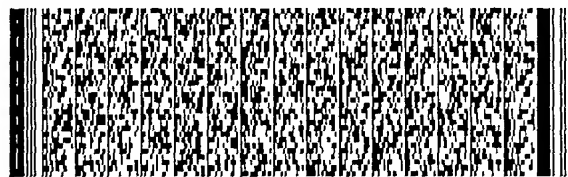
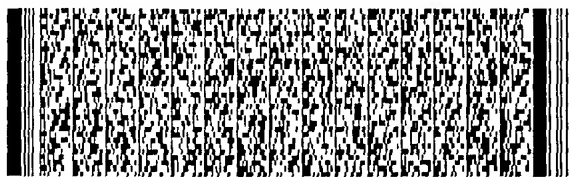


## 五、發明說明 (6)

首先提供一半導體基板340，其半導體基板可以是單晶矽基板，且其內部已經完成一深溝槽電容器342之製作，其包含有一埋入電極板344、一節點介電層346以及一儲存節點348，且埋入電極板348係做為下電極且儲存節點346係做為上電極。深溝槽電容器342之製作方法如下所述。以一p型半導體矽基板340為例，藉由一墊層352之圖案以及反應性離子蝕刻(RIE)方法，可於矽基板340內形成一深溝槽DT，其深度為5000nm~9000nm。墊層352之材質可為氮化矽。

而後，藉由一重度摻雜氧化物(例如：砷玻璃(ASG))以及高溫短時間的退火製程，可使 $n^+$ 型離子擴散至深溝槽DT下方區域，而形成一 $n^+$ 型擴散區344，用來作為電容器之埋入電極板。然後，於深溝槽DT之內側壁與底部形成氮化矽層346，再於深溝槽DT內沉積一 $n^+$ 型摻雜之導電層348，其導電層可以是多晶矽，並將導電層348回蝕刻至使其導電層表面低於矽基板表面600nm~1400nm的深度。如此一來，殘留之導電層348係用來為電容器之上電極，而夾設於 $n^+$ 型擴散區344以及導電層348之間的氮化矽層346則是用作為電容器之節點介電層。

然後，如第3B圖所示，移除導電層上的節點介電層。坦覆性的沉積一間隔層349於溝槽中及基板上，其間隔層可以是由四乙氧基矽烷(TEOS)為矽源的二氧化矽所組成。如第3C圖所示，回蝕刻以移除基板表面的間隔層

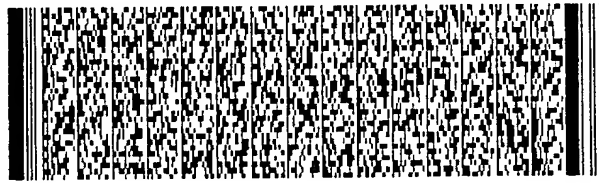
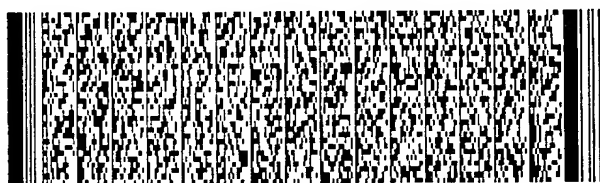


##### 五、發明說明 (7)

349，且回蝕刻溝槽中的間隔層349a使其表面低於半導體係基板表面1200~1800nm。接下來，如第3D圖所示，順應性的沉積一層厚度為20~70nm的犧牲層354，其犧牲層可以是非晶矽，且其沉積方法為化學氣相沉積法(CVD)。其後，如第3E圖所示，以一非等向性蝕刻法，例如反應離子蝕刻法(RIE)或是以氯(Cl)為主要蝕刻劑的乾蝕刻製程，蝕刻位於間隔層及半導體基板表面的犧牲層，以使犧牲層354a形成於間隔層之上的溝槽側壁。

其後，如第3F圖所示，以一蝕刻方法移除間隔層349a，其蝕刻方法可以是一含氫氟酸(HF)溶液的濕蝕刻法。移除間隔層後，露出導電層上的溝槽側壁。繼續，如第3G圖所示，利用氧化方法於矽基板340之暴露溝槽側壁上成長一第一氧化矽層351，用以保護深溝槽DT上方區域之側壁，可確保 $n^+$ 型擴散區344與後續製作之埋入帶外擴散區域之間的絕緣效果。特別注意的是，由於前述步驟完成之犧牲層354a可以縮減深溝槽DT頂部開口區域大小，因此在成長第一氧化矽層351時，其會成長在犧牲層354a上(351a)及其以外之矽基底340暴露溝槽側壁表面上(351b)。

接著，如第3H圖所示，利用CVD或其他沉積方式，於深溝槽內沉積一第二氧化矽層353，再以非等向性蝕刻方式去除位於導電層348頂部之第二氧化矽層353。後續，如



## 五、發明說明 (8)

第3I圖所示，於深溝槽內沉積一 $n^+$ 型摻雜之上部導電層358，並回蝕刻層上部導電層358至一預定深度，使其表面低於半導體基板表面。

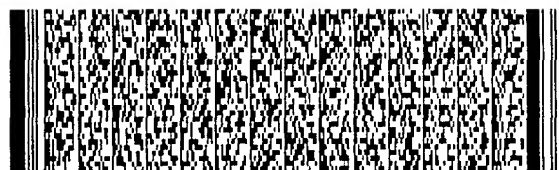
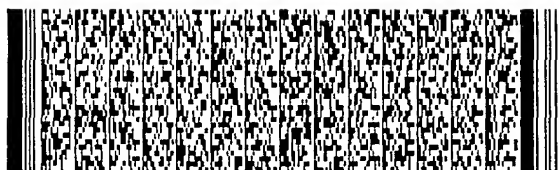
最後，如第3J圖所示，利用濕蝕刻方式去除部份位於犧牲層表面之第一氧化矽層351以及第二氧化矽層353，直至凸出上部導電層358的頂部，並使第一氧化矽層351以及第二氧化矽層353之頂部切齊，則殘留在深溝槽上方區域側壁之第一氧化矽層351以及第二氧化矽層353係用作為一領型介電層350。

請參閱第3K圖，其顯示本發明領型介電層製程所應用之DRAM胞的剖面示意圖。完成上述領型介電層350製程之後，後續則可進行一頂部導電層360(亦稱為一埋入帶360)、一埋入帶外擴散區域362、一淺溝隔離(STI)結構364、一字元線 $WL_1$ 、 $WL_2$ 、一源/汲極擴散區域366、一位元接觸插塞CB以及一位元線BL等製程。這些製程不屬於本發明技術特徵，故於此省略說明。

## 第二實施例

請參閱第4A至4G圖，其顯示本發明之第二實施例的製程剖面圖。

首先提供一半導體基板440，其半導體基板可以是單晶矽基板，其內部已經完成一深溝槽電容器442之製作，

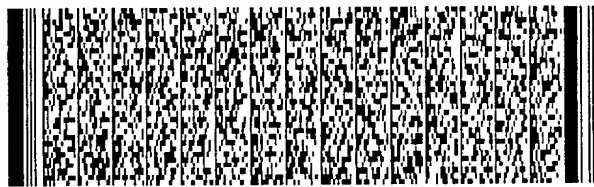


#### 五、發明說明 (9)

包含有一埋入電極板、一節點介電層以及一儲存節點，其埋入電極板係做為下電極且儲存節點係做為上電極。深溝槽電容器442之製作方法如下所述。以一p型半導體矽基板440為例，藉由一墊層452之圖案以及反應性離子蝕刻(RIE)方法，可於矽基板440內形成一深溝槽，其深度為5000nm~9000nm。墊層452之材質可為氮化矽。而後，藉由一重度摻雜氧化物(例如：砷玻璃(ASG))以及高溫短時間的退火製程，可使 $n^+$ 型離子擴散至深溝槽DT下方區域，而形成一 $n^+$ 型擴散區444，用來作為電容器之埋入電極板。

然後，於深溝槽之內側壁與底部形成氮化矽層446，再於深溝槽內沉積一 $n^+$ 型摻雜之導電層448，其導電層可以是多晶矽，並將導電層448回蝕刻至一預定深度，使其導電層表面低於矽基板表面600nm~1400nm的深度。如此一來，殘留之導電層448係用來為電容器之上電極，而夾設於 $n^+$ 型擴散區444以及導電層448之間的氮化矽層446則是用作為電容器之節點介電層。

如第4B圖所示，移除導電層上的節點介電層。之後，坦覆性的沉積一間隔層449於溝槽中及基板上，其間隔層可以是由四乙氧基矽烷(TEOS)為矽源的二氧化矽所組成。如第4C圖所示，回蝕刻間隔層449a以移除基板表面的二氧化矽，且回蝕刻溝槽中的間隔層使其表面低於半導體係基板表面1200~1800nm。接下來，如第4D圖所示，順應性的沉積一層厚度為20~70nm的遮蔽層454，其遮蔽層可以是



## 五、發明說明 (10)

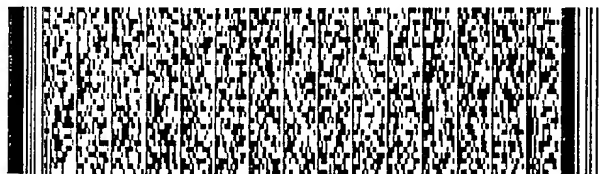
氮化矽，且其沉積方法為化學氣相沉積法 (CVD)。

其後，如第4E圖所示，以一非等向性蝕刻法，例如反應離子蝕刻法 (RIE) 或是以氯 (CL) 為主要蝕刻劑的乾蝕刻製程，蝕刻位於間隔層及半導體基板表面的遮蔽層，以使遮蔽層454a形成於間隔層之上的溝槽側壁。如第4F圖所示，以一蝕刻方法移除間隔層449a，其蝕刻方法可以是一含氫氟酸 (HF) 溶液的濕蝕刻法。移除間隔層後，露出該導電層上的溝槽側壁。

繼續，如第4G圖所示，利用氧化方法於矽基板440之暴露溝槽側壁上成長一第一氧化矽層451，用以保護深溝槽DT上方區域之側壁，可確保 $n^+$ 型擴散區444與後續製作之埋入帶外擴散區域之間的絕緣效果。特別注意的是，由於前述步驟完成之遮蔽層454 a可以抑制其本身與深渠溝DT頂部開口周圍之矽基底440轉變成為 $SiO_2$ ，因此第一氧化矽層451僅會成長在遮蔽層454 a以外之矽基底440暴露表面上。其後續的步驟與本發明之第一實施例相同，請參照第3H~3J圖。

### 【本發明之特徵與優點】

本發明之特徵在於在埋入帶外擴散區域的溝槽側壁表面形成犧牲層，其可以縮減深溝槽DT頂部開口區域大小，因此在成長第一氧化矽層時，其會成長在犧牲層上及其以



#### 五、發明說明 (11)

外之矽基底暴露溝槽側壁表面上。則後續的濕蝕刻步驟不會擴張深溝槽DT頂部開口尺寸。

本發明之另一特徵在於在埋入帶外擴散區域的溝槽側壁表面形成一遮蔽層，其可以抑制其本身與深渠溝頂部開口周圍之矽基底轉變成為 $\text{SiO}_2$ ，故可使後續成長的氧化矽層選擇性地成長於埋入帶外擴散區域以外的矽基底表面上，則之後的濕蝕刻步驟不會擴張深溝槽DT頂部開口尺寸。

由本發明控制溝槽頂部尺寸的方法，故能防止源/汲極擴散區域與埋入帶外擴散區域之間的重疊邊緣區域縮短，進而有效防止漏電流現象並改善次電壓(sub- $V_t$ )的表現。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1A圖顯示習知DRAM胞之深溝槽排列的平面圖。

第1B圖顯示習知DRAM胞之深溝槽電容器的剖面示意圖。

第2A至2E圖顯示習知領型介電層製程之剖面示意圖。

第3A至3J圖顯示本發明第一實施例之製程剖面示意圖。

第3K圖顯示本發明領型介電層製程所應用之DRAM胞的剖面示意圖。

第4A與4G圖顯示本發明第二實施例之製程剖面示意圖。

符號說明：

習知技術：

WL<sub>1</sub>、WL<sub>2</sub>~字元線；

BL~位元線；

DT~深溝槽；

CB~位元接觸插塞；

10~半導體矽基底；

12~深溝槽電容器；

14~n<sup>+</sup>型擴散區；

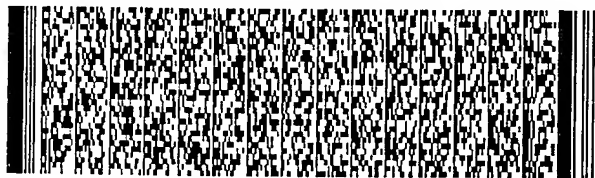
16~氮化矽層；

18~第一多晶矽層；

20~領型介電層；

22~第二多晶矽層；

24~第三多晶矽層；

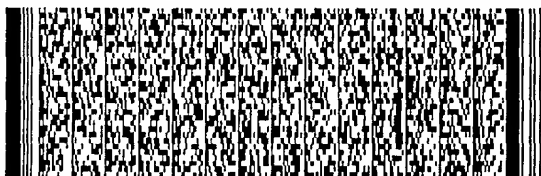


圖式簡單說明

- 26~ 淺溝隔離結構；
- 28~ 源/汲極擴散區域；
- 30~ 埋入帶外擴散區域；
- L~ 重疊邊緣區域；
- 32~ 氮化矽墊層；
- 34~ 第一氧化矽層；
- 36~ 第二氧化矽層。

本發明技術：

- 340、440~ 半導體基板；
- 342、442~ 深溝槽電容器；
- 344、444~  $n^+$  型擴散區；
- 346、446~ 氮化矽層；
- 348、448~ 導電層；
- 349、349a、449、449a~ 間隔層；
- 350~ 領型介電層；
- 351、351a、351b、451~ 第一氧化矽層；
- 352、452~ 墊層；
- 353、453~ 第二氧化矽層；
- 354、454、354a、454a~ 犧牲層；
- 358~ 上部導電層；
- 360~ 頂部導電層；
- 362~ 埋入帶外擴散區域；
- 364~ 淺溝隔離結構；



圖式簡單說明

366~源/汲極擴散區域；

WL<sub>1</sub>、WL<sub>2</sub>~字元線；

BL~位元線；

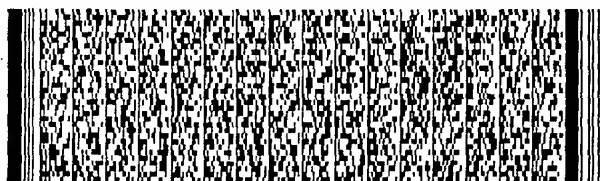
DT~深溝槽；

CB~位元接觸插塞。



#### 六、申請專利範圍

1. 一種控制溝槽頂部尺寸的方法，包括下列步驟：  
提供一包括一溝槽之基板；  
形成一導電層填入部分該溝槽；  
形成一間隔層填入部分該溝槽，其中該間隔層位於該導電層上；  
形成一犧牲層於該間隔層之上的該溝槽側壁；  
移除該間隔層，露出該導電層上的溝槽側壁；以及  
氧化該犧牲層和露出之溝槽側壁。
2. 如申請專利範圍第1項所述之控制溝槽頂部尺寸的方法，其中該基板是一單晶矽基板。
3. 如申請專利範圍第1項所述之控制溝槽頂部尺寸的方法，其中形成該導電層的步驟，包括沉積該導電層於該基板上與該溝槽中；以及回蝕刻該導電層使其表面低於該基板表面。
4. 如申請專利範圍第1項所述之控制溝槽頂部尺寸的方法，其中該導電層是一多晶矽。
5. 如申請專利範圍第1項所述之控制溝槽頂部尺寸的方法，其中該溝槽形成有一電容器，且其中該導電層係做為上電極。
6. 如申請專利範圍第1項所述之控制溝槽頂部尺寸的方法，其中該間隔層是一TEOS為矽源的二氧化矽。
7. 如申請專利範圍第1項所述之控制溝槽頂部尺寸的方法，其中形成該間隔層的步驟，包括沉積該間隔層於該基板上與該溝槽中；以及回蝕刻該間隔層使其表面低於該



## 六、申請專利範圍

基板表面。

8. 如申請專利範圍第1項所述之控制溝槽頂部尺寸的方法，其中形成一犧牲層的步驟，包括：順應性的沉積該犧牲層於該間隔層上，再非等向性蝕刻該犧牲層，以使該犧牲層形成於該間隔層之上的溝槽側壁的方法。

9. 如申請專利範圍第1項所述之控制溝槽頂部尺寸的方法，其中形成該犧牲層是一非晶矽。

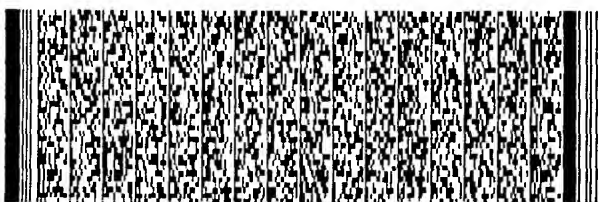
10. 如申請專利範圍第1項所述之控制溝槽頂部尺寸的方法，其中該溝槽的深度為5000nm~9000nm。

11. 一種控制溝槽頂部尺寸的方法，包括下列步驟：  
提供一包括一溝槽之基板；  
形成一導電層填入部分該溝槽；  
形成一間隔層填入部分位於該溝槽，其中該間隔層位於該導電層上；  
形成一遮蔽層於該間隔層之上的該溝槽側壁；  
移除該間隔層，露出該導電層上的溝槽側壁；以及  
以遮蔽層為氧化罩幕，以氧化露出之溝槽側壁。

12. 如申請專利範圍第11項所述之控制溝槽頂部尺寸的方法，其中該基板是一單晶矽基板。

13. 如申請專利範圍第11項所述之控制溝槽頂部尺寸的方法，其中形成該導電層的步驟，包括沉積該導電層於該基板上與該溝槽中；以及回蝕刻該導電層使其表面低於該基板表面。

14. 如申請專利範圍第11項所述之控制溝槽頂部尺寸



#### 六、申請專利範圍

的方法，其中該導電層是一多晶矽。

15. 如申請專利範圍第11項所述之控制溝槽頂部尺寸的方法，其中該溝槽形成有一電容器，且其中該導電層係做為上電極。

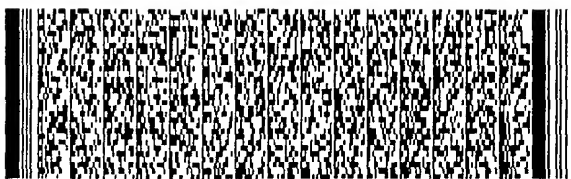
16. 如申請專利範圍第11項所述之控制溝槽頂部尺寸的方法，其中該間隔層是一TEOS為矽源的二氧化矽。

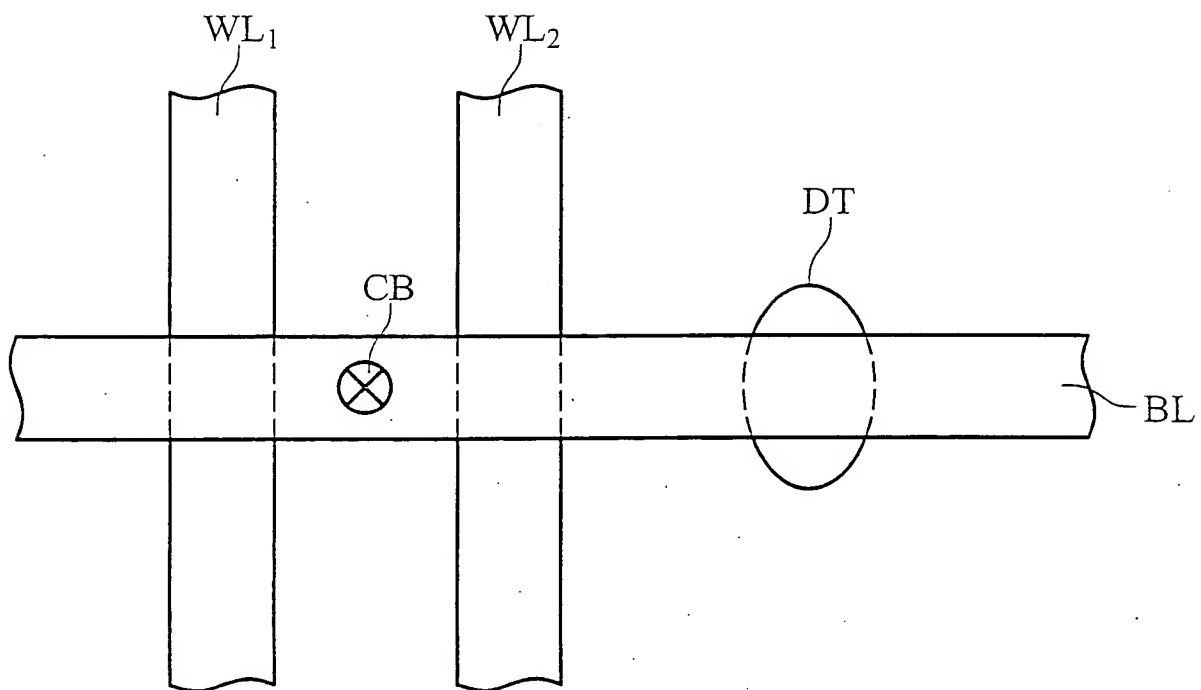
17. 如申請專利範圍第11項所述之控制溝槽頂部尺寸的方法，其中形成該間隔層的步驟，包括沉積該間隔層於該基板上與該溝槽中；以及回蝕刻該間隔層使其表面低於該基板表面。

18. 如申請專利範圍第11項所述之控制溝槽頂部尺寸的方法，其中形成一遮蔽層的步驟，包括：順應性的沉積該遮蔽層於該間隔層上，再非等向性蝕刻該遮蔽層，以使該遮蔽層形成於該間隔層之上的溝槽側壁的方法。

19. 如申請專利範圍第11項所述之控制溝槽頂部尺寸的方法，其中該遮蔽層是氮化矽所組成。

20. 如申請專利範圍第11項所述之控制溝槽頂部尺寸的方法，其中該溝槽的深度為5000nm~9000nm。

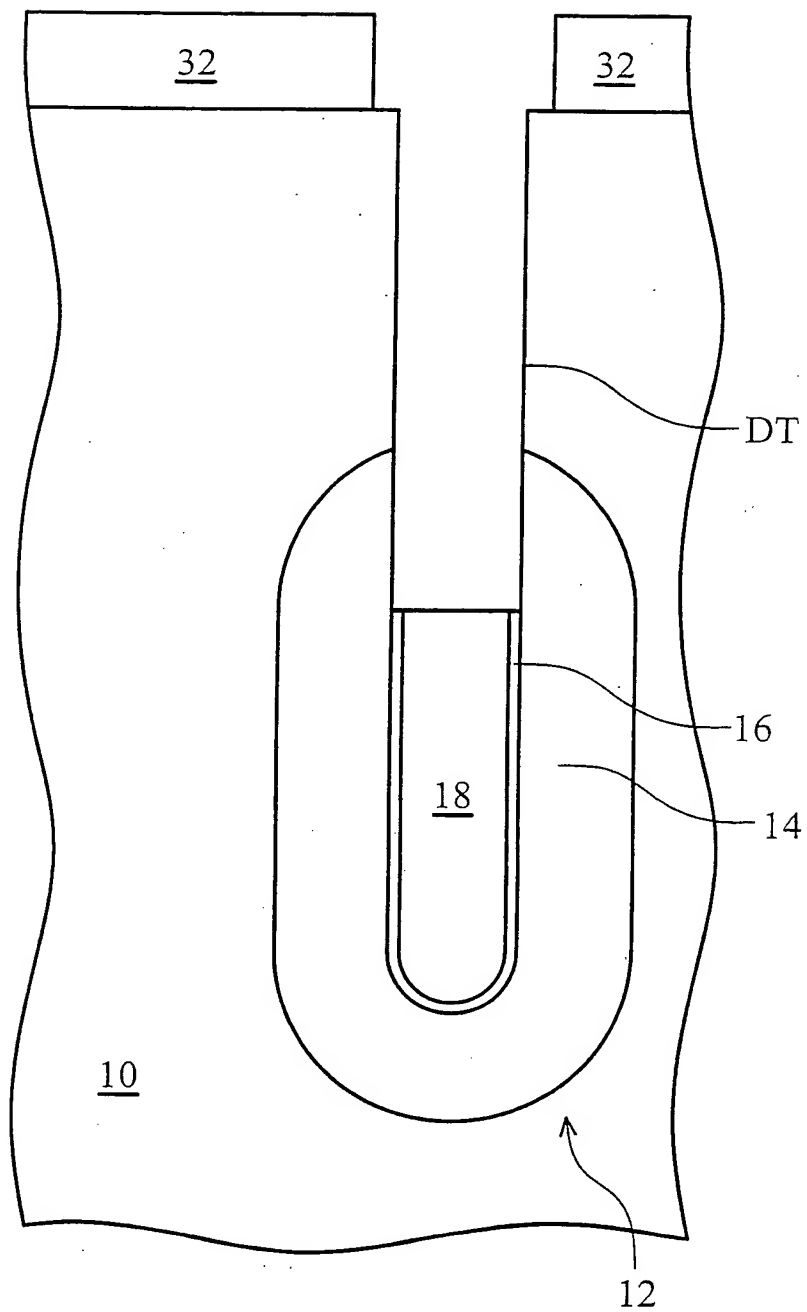




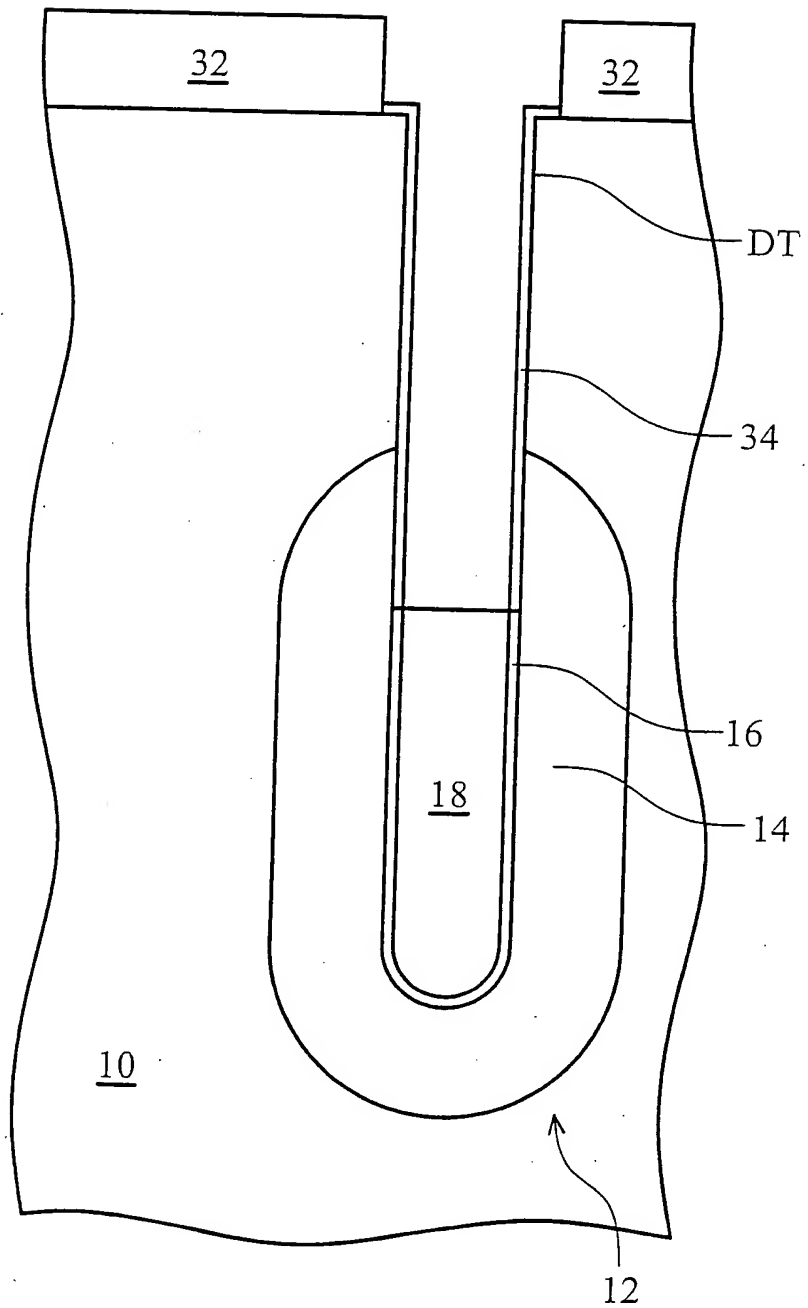
第1A圖



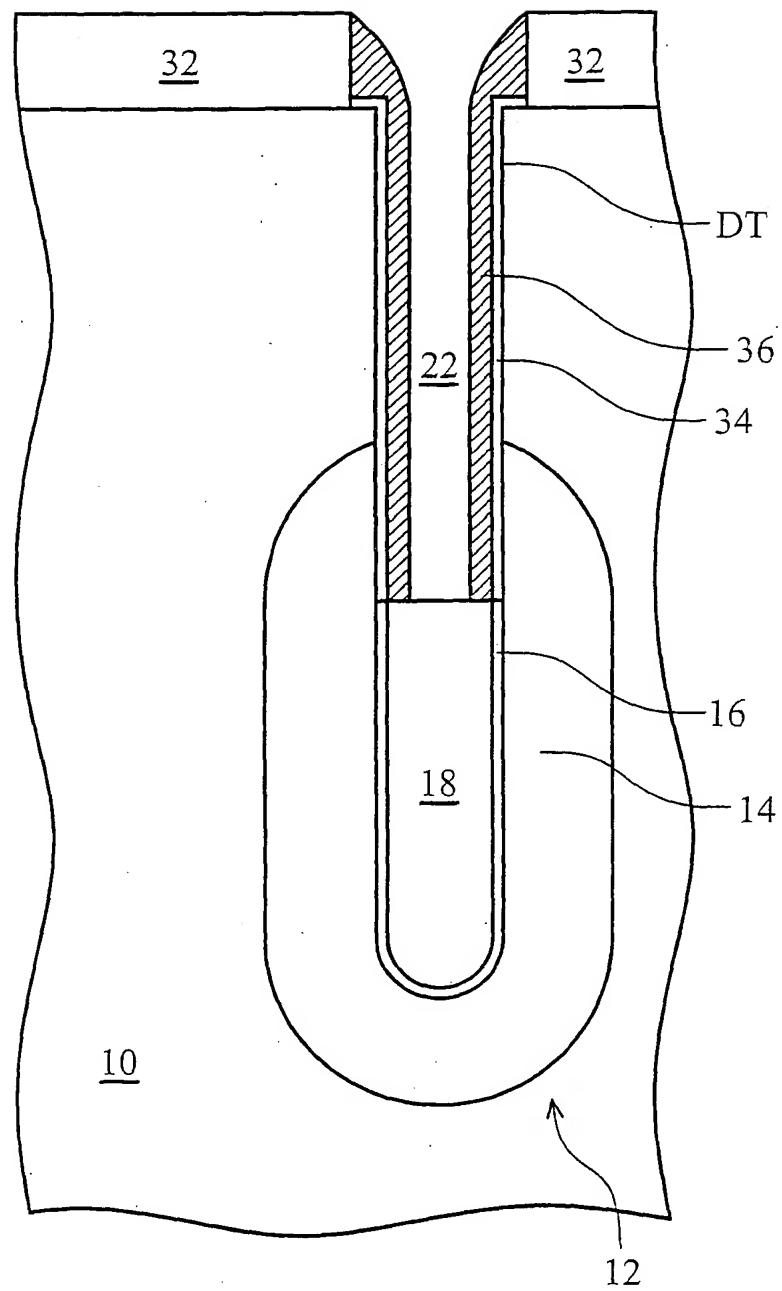
第 1B 圖



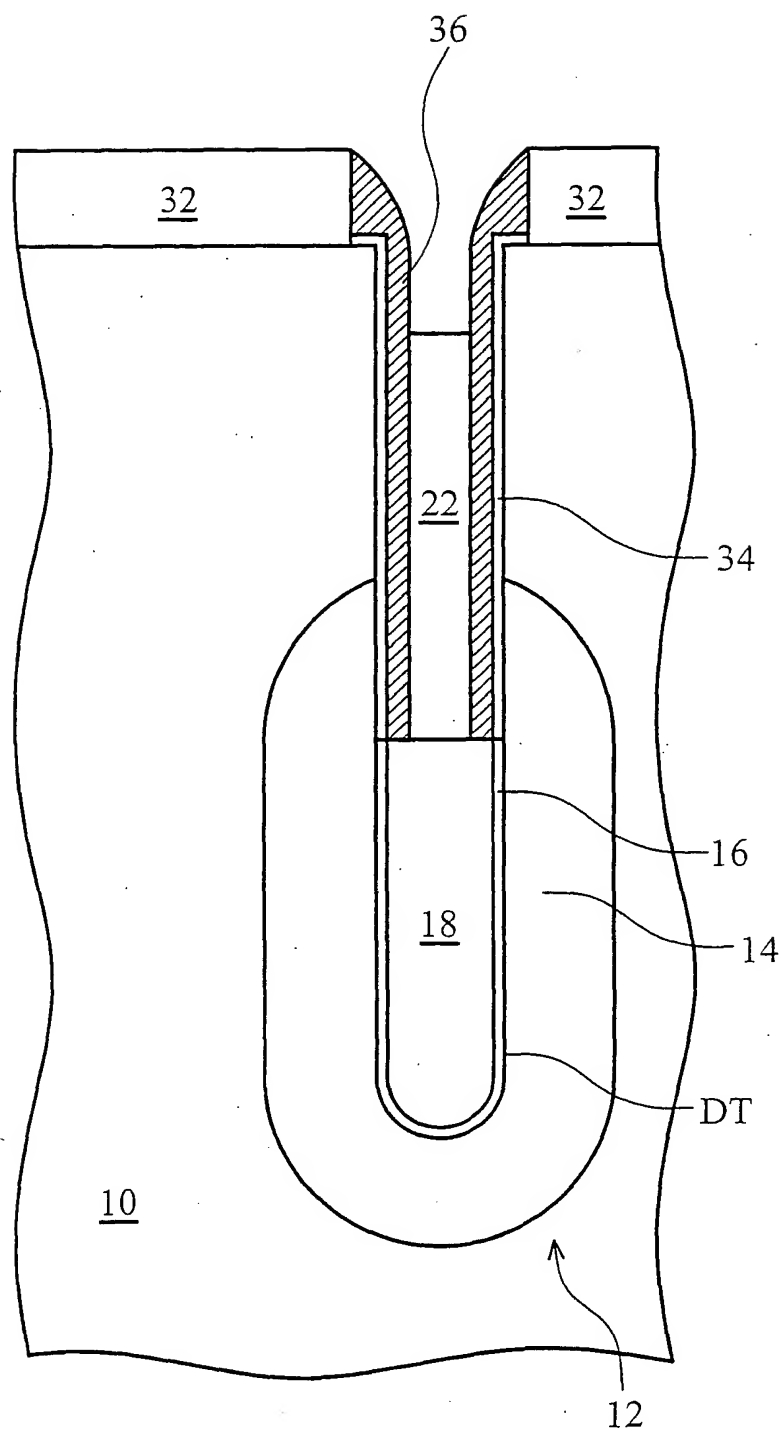
第 2A 圖



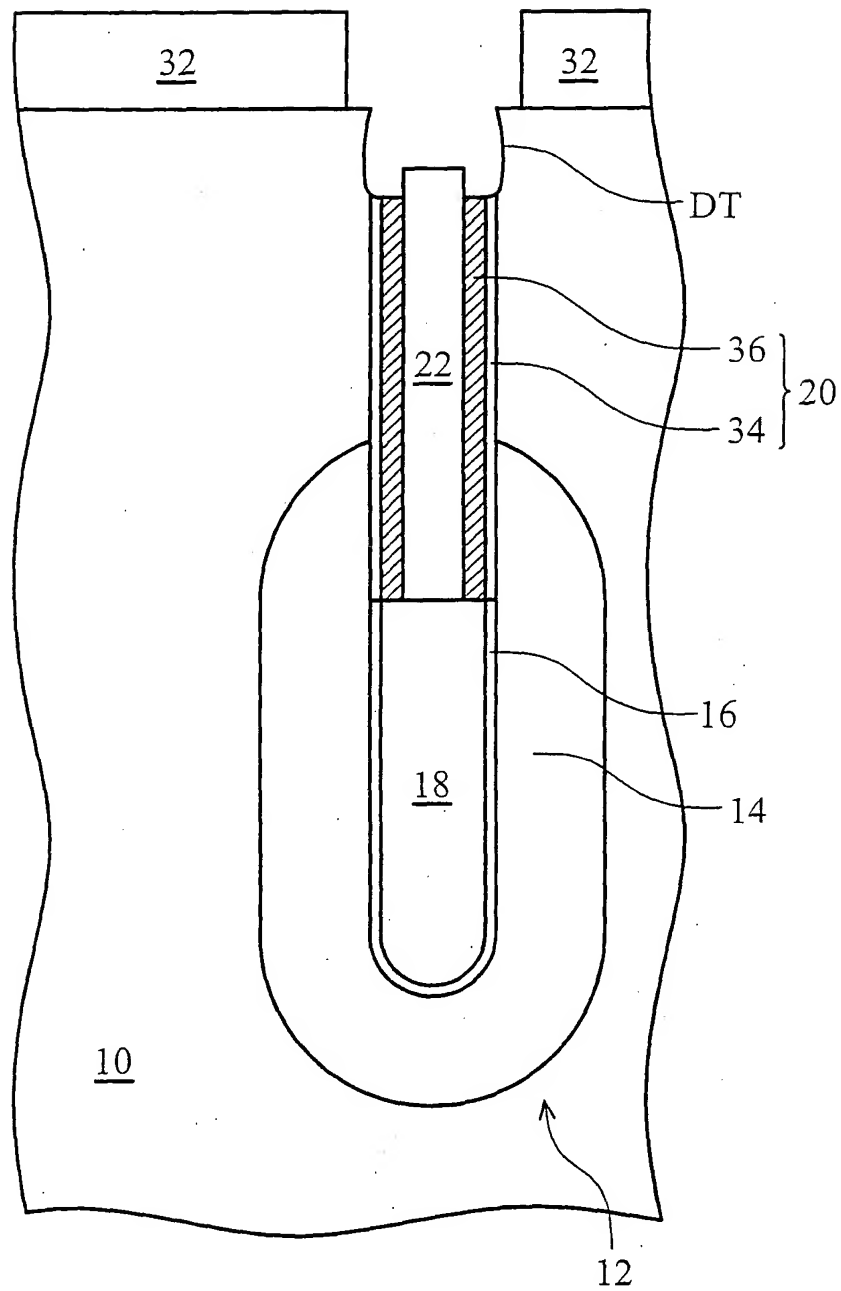
第 2B 圖



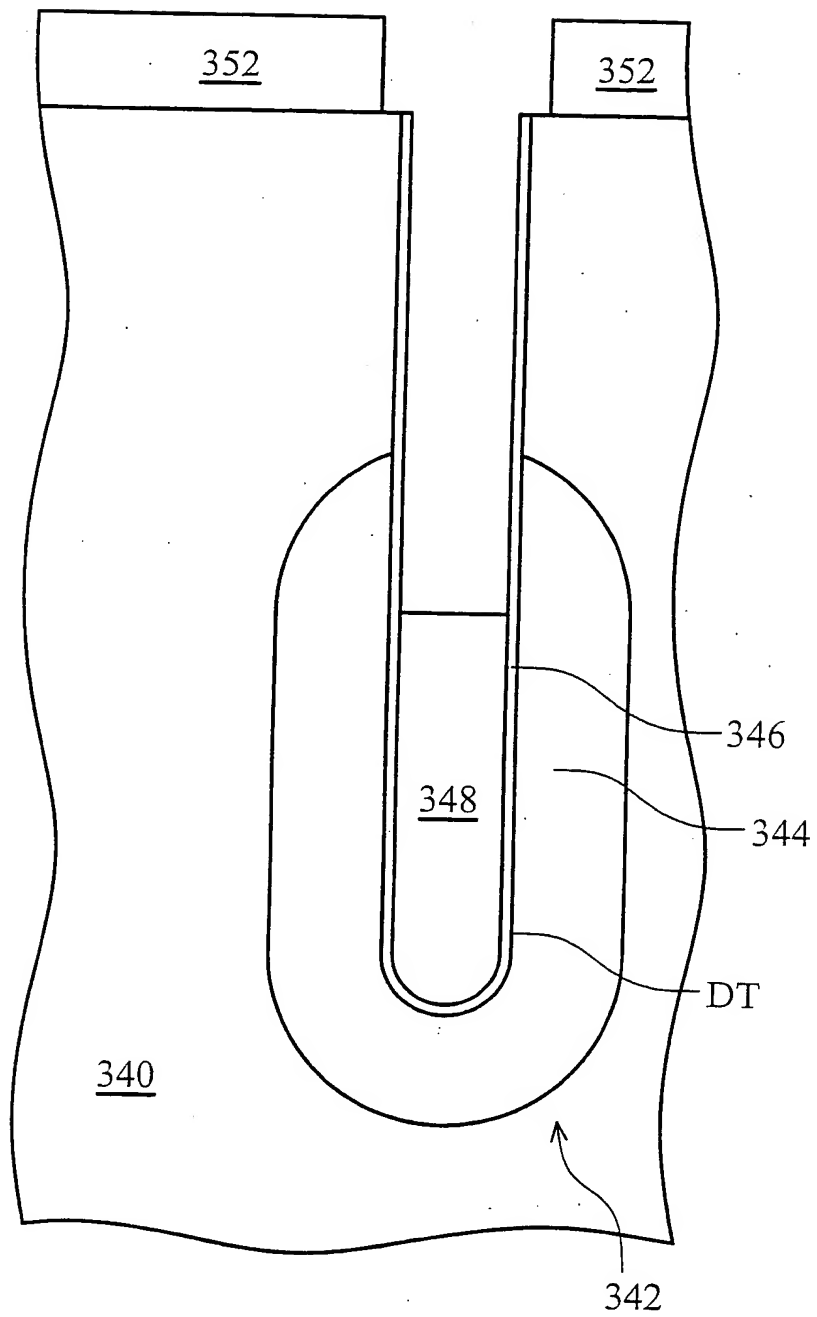
第2C圖



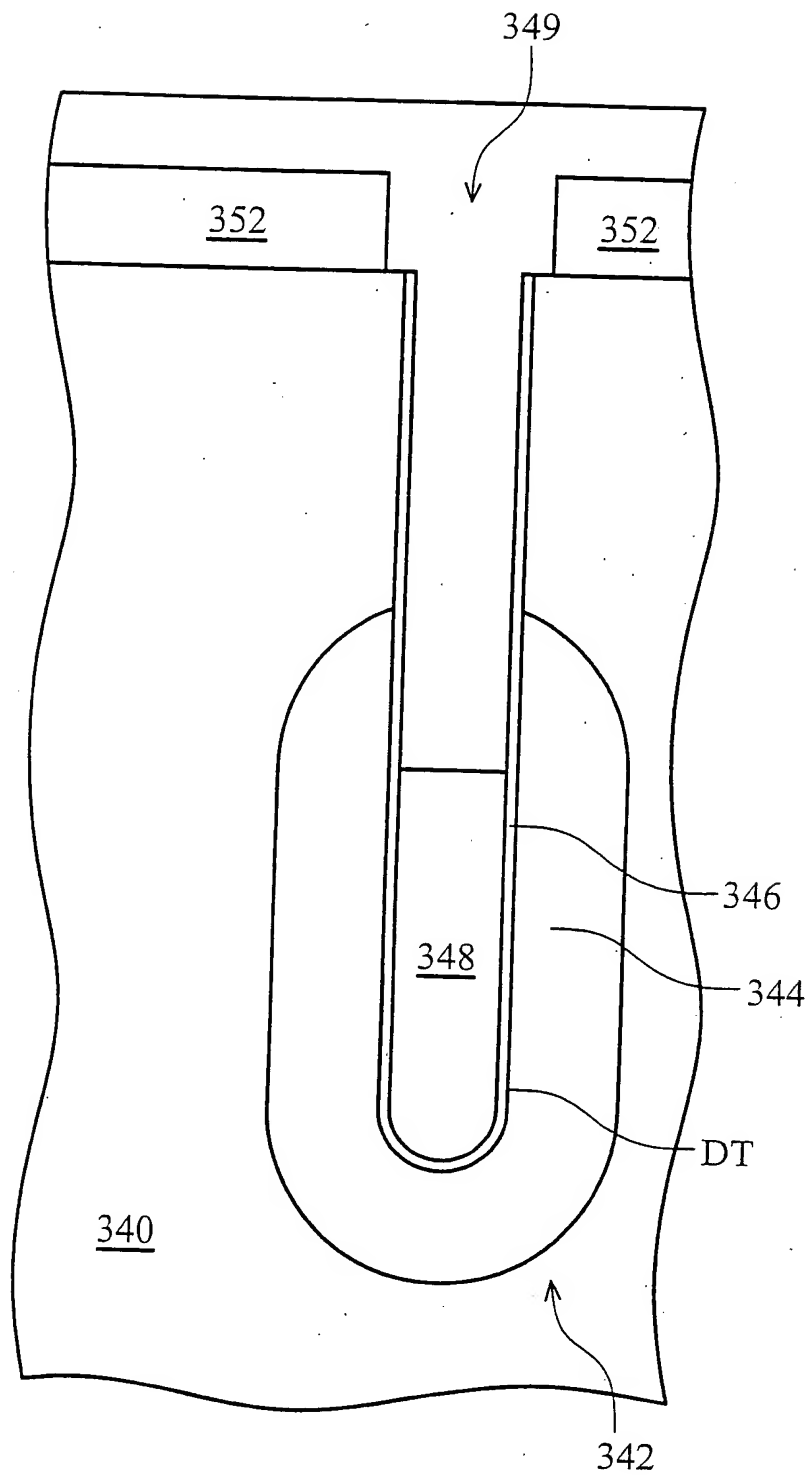
第2D圖



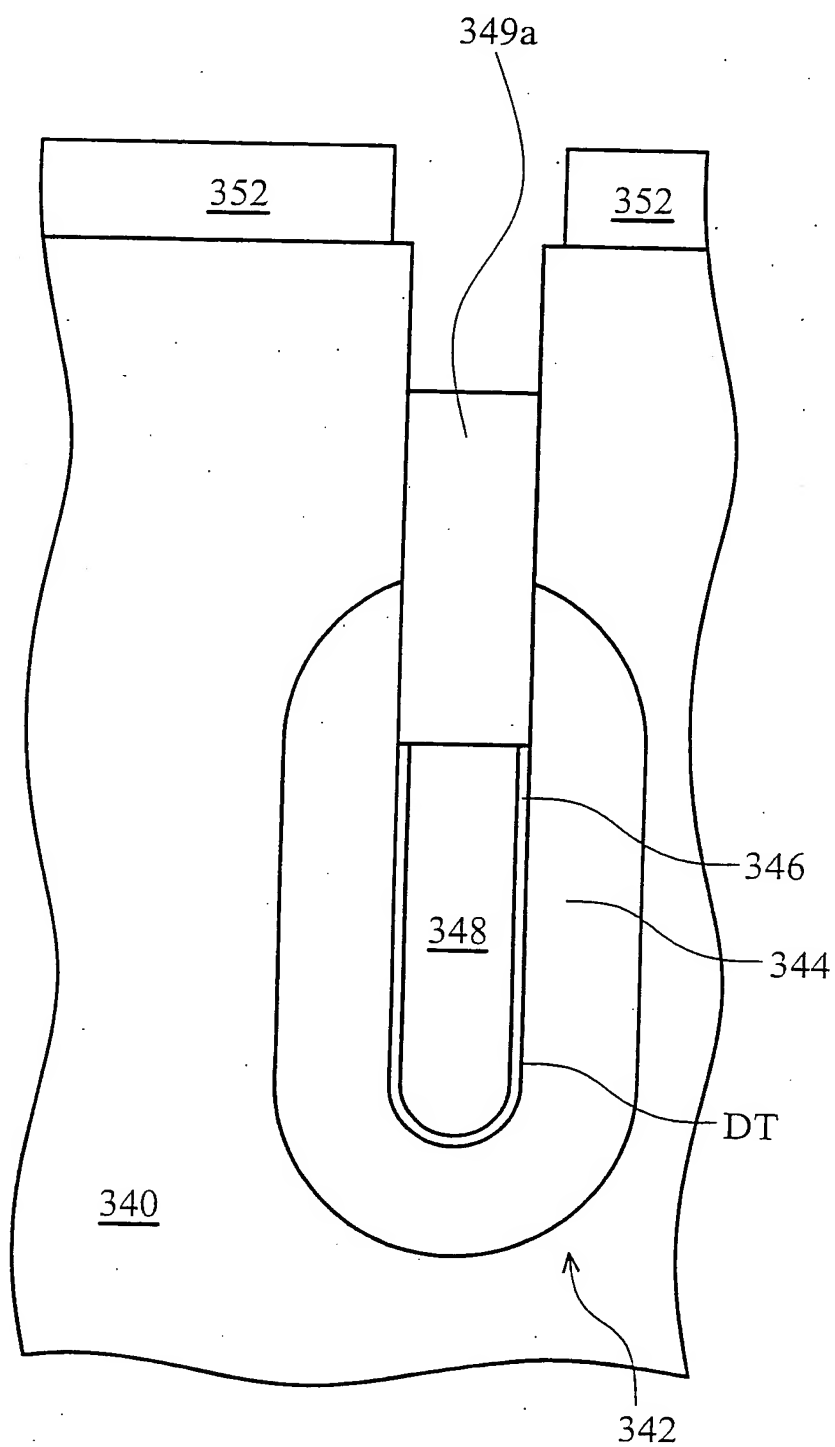
第2E圖



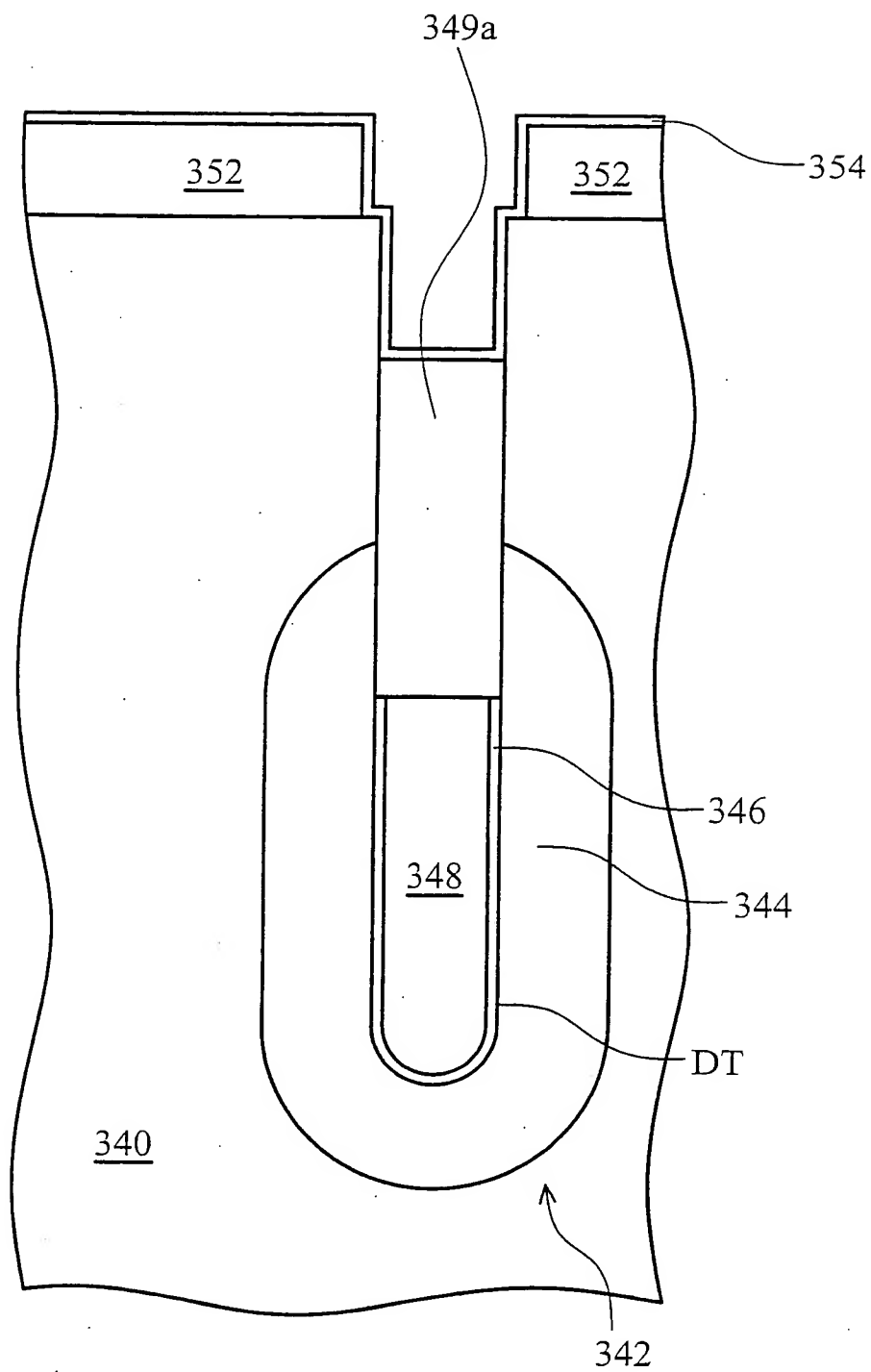
第3A圖



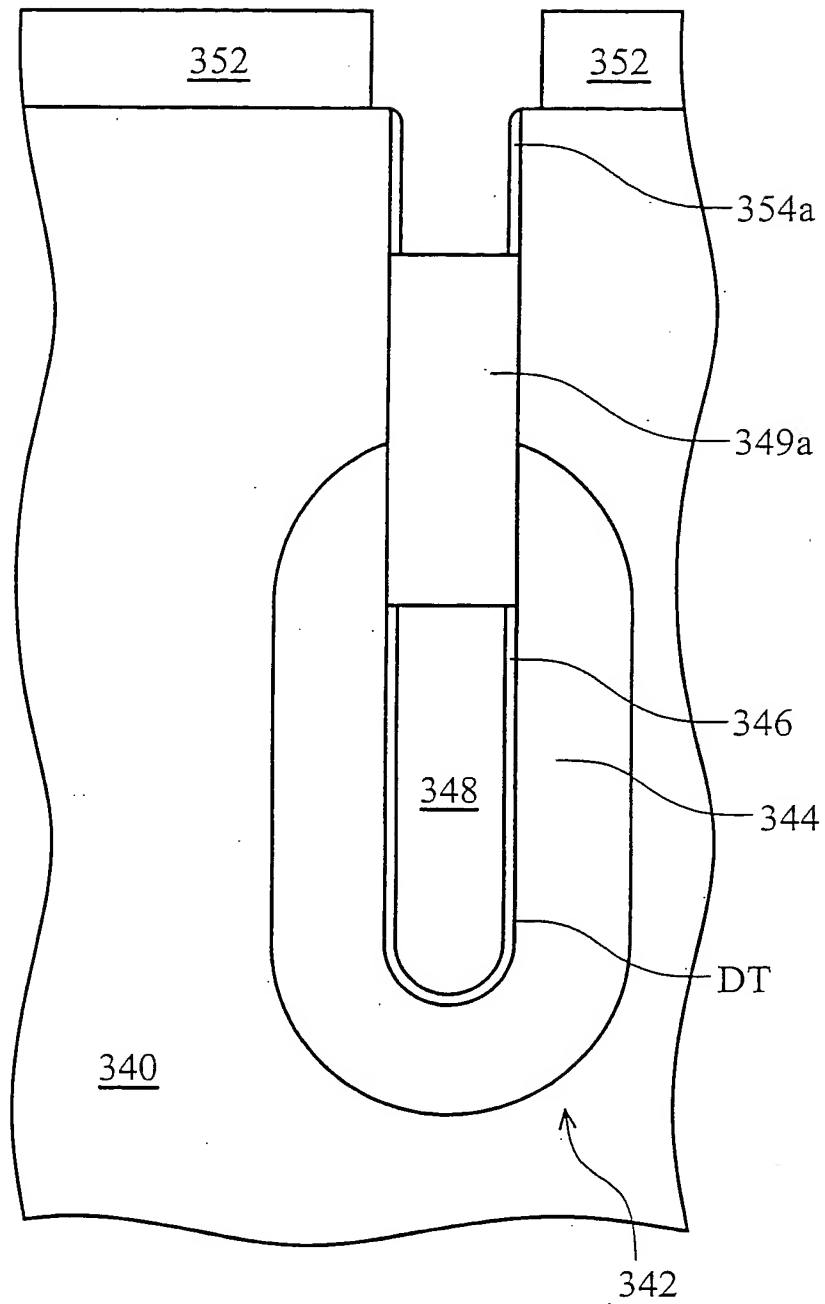
第 3B 圖



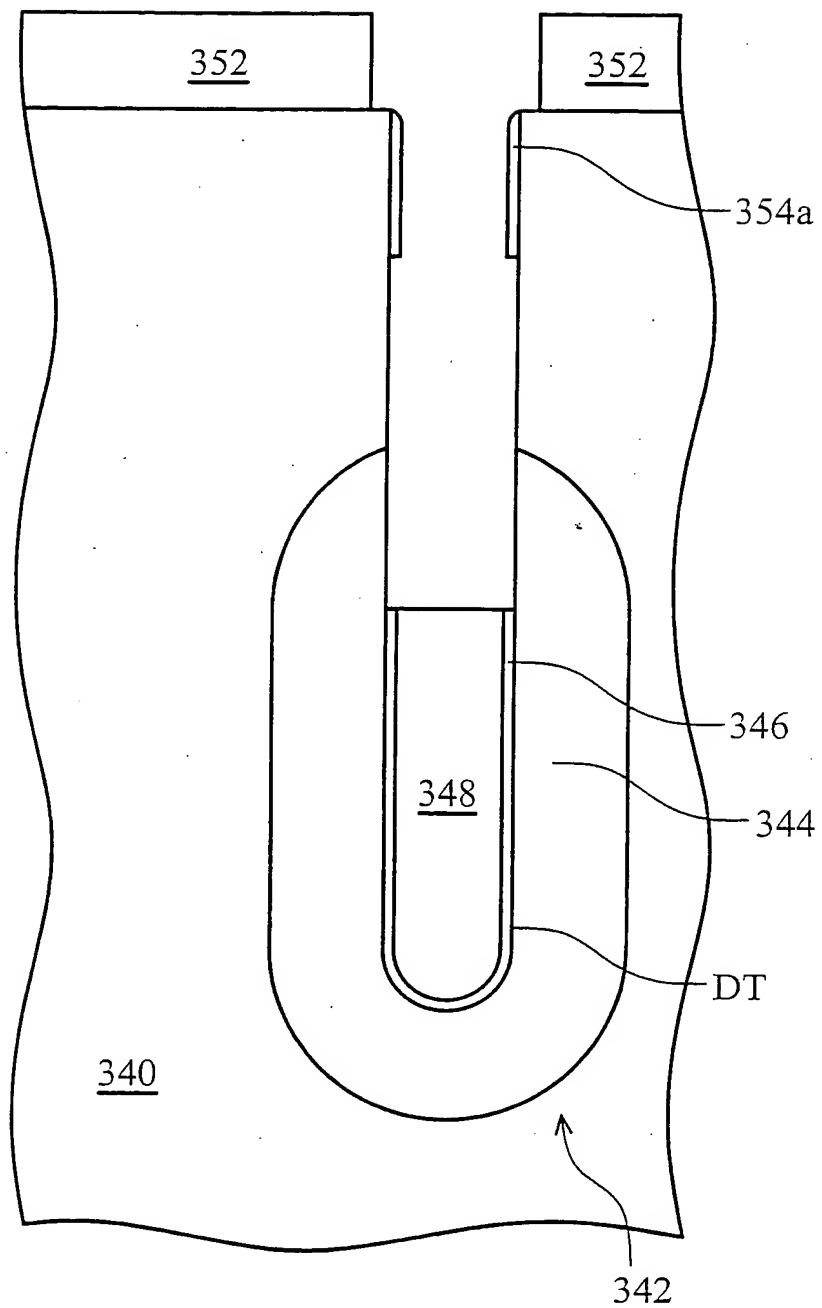
第 3C 圖



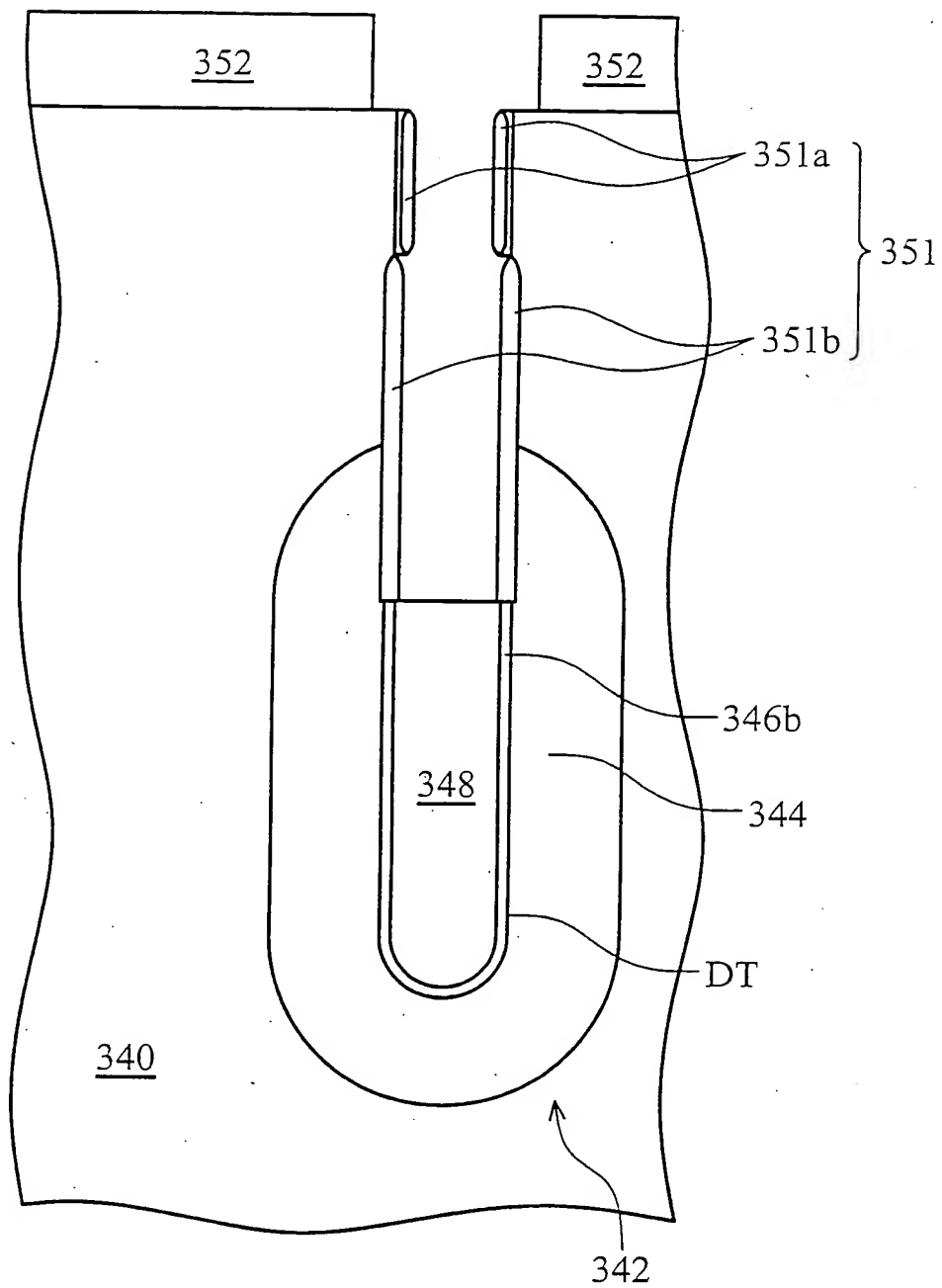
第3D圖



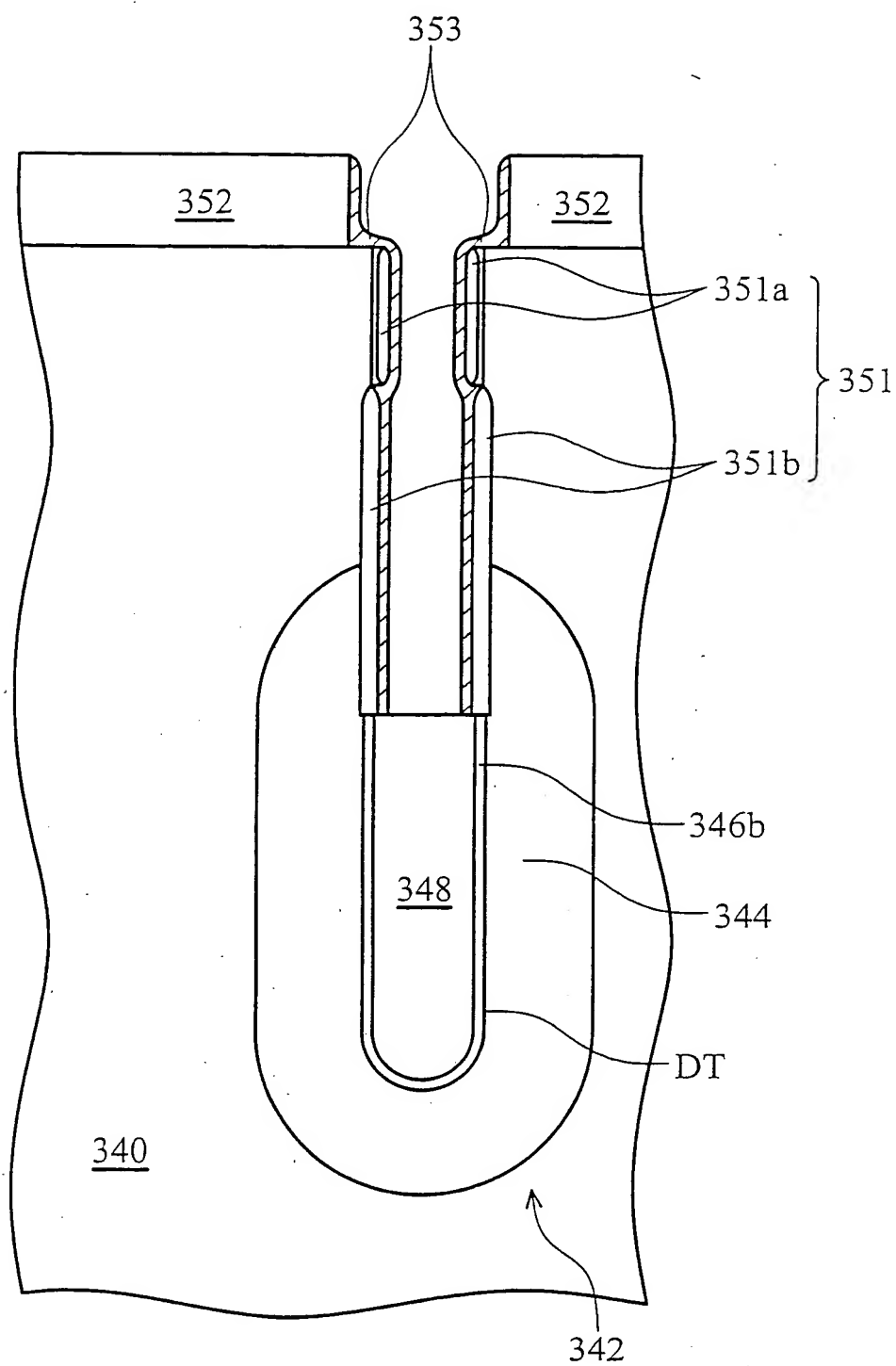
第3E圖



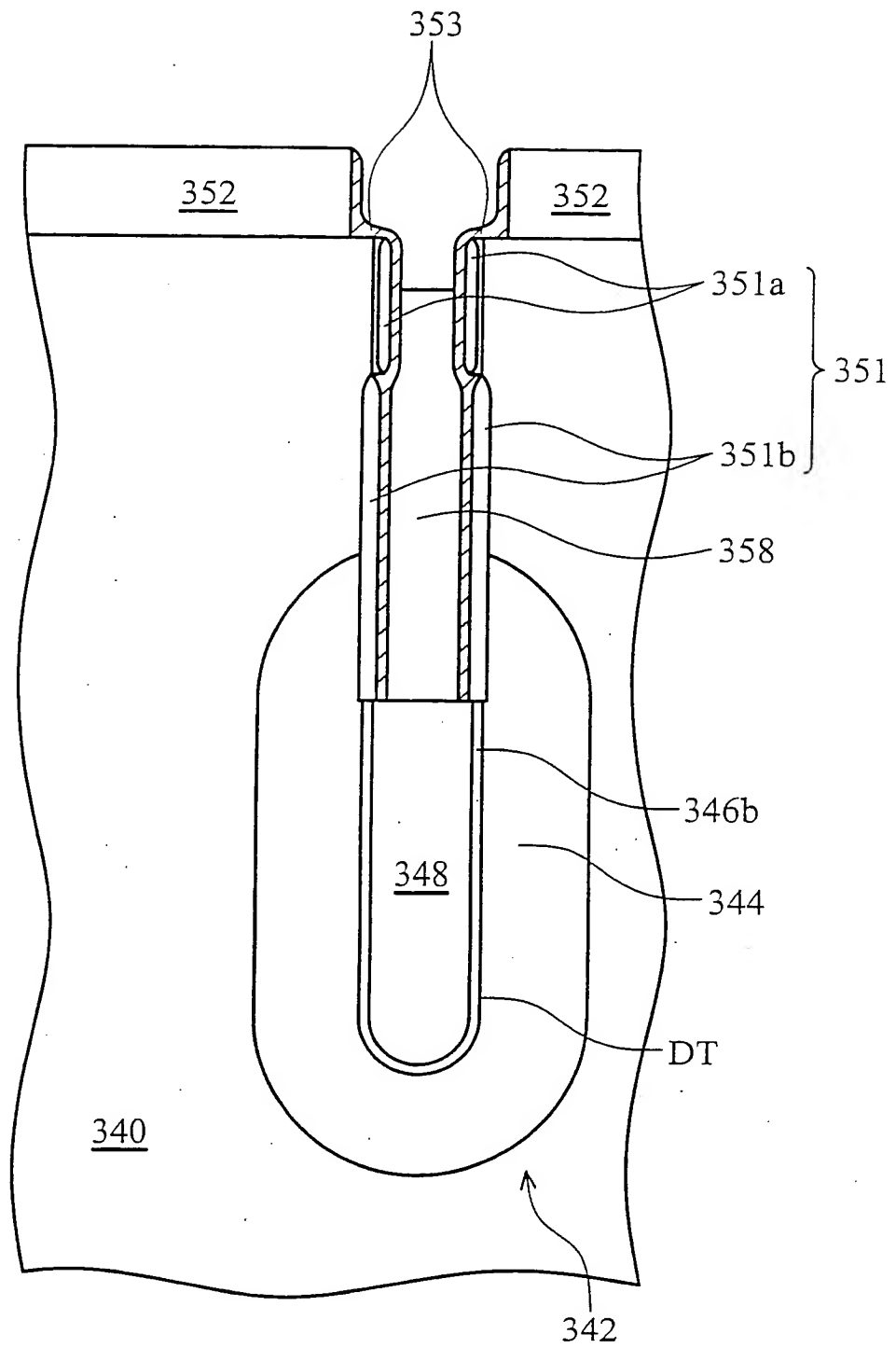
第3F圖



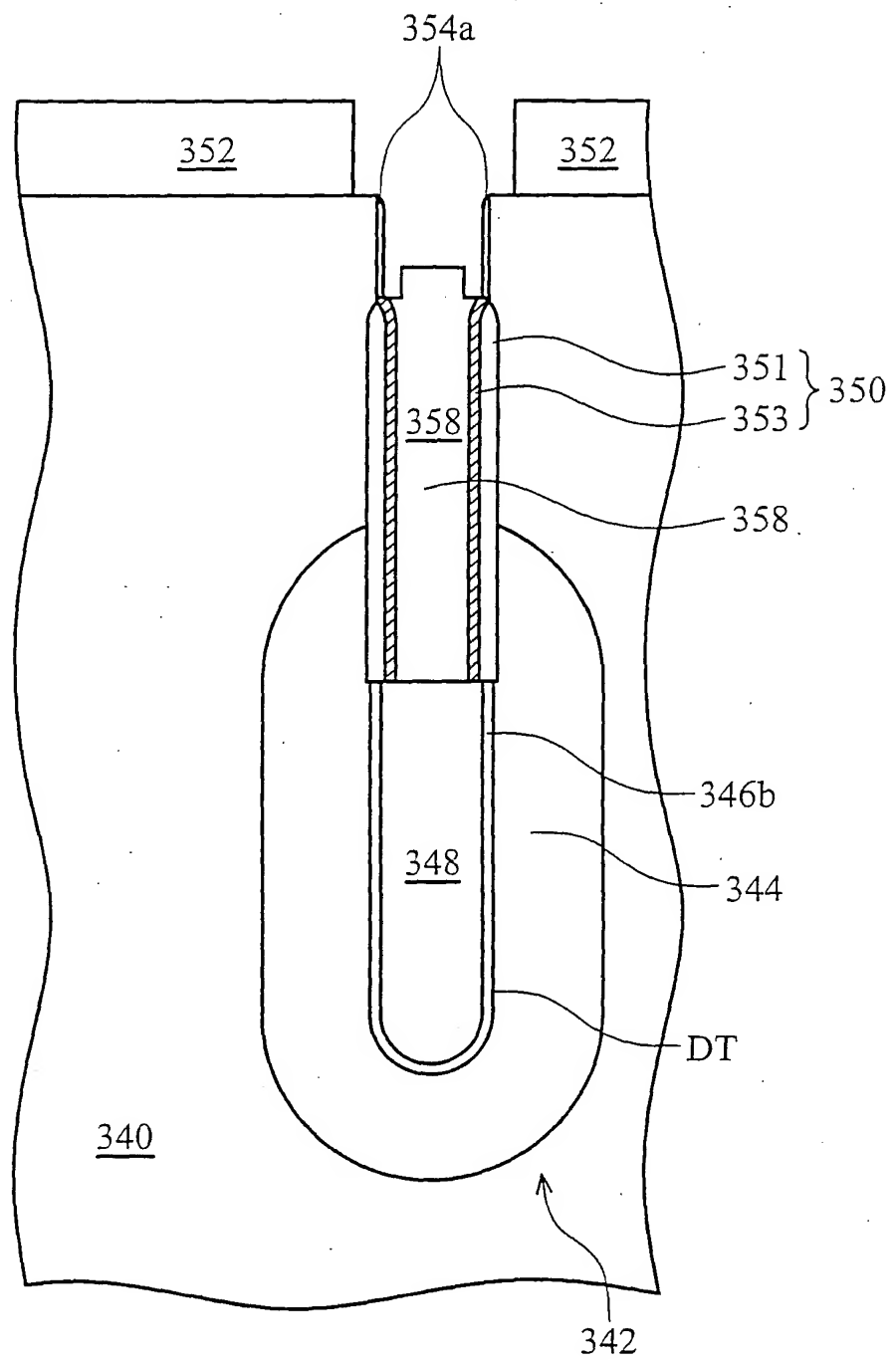
第 3G 圖



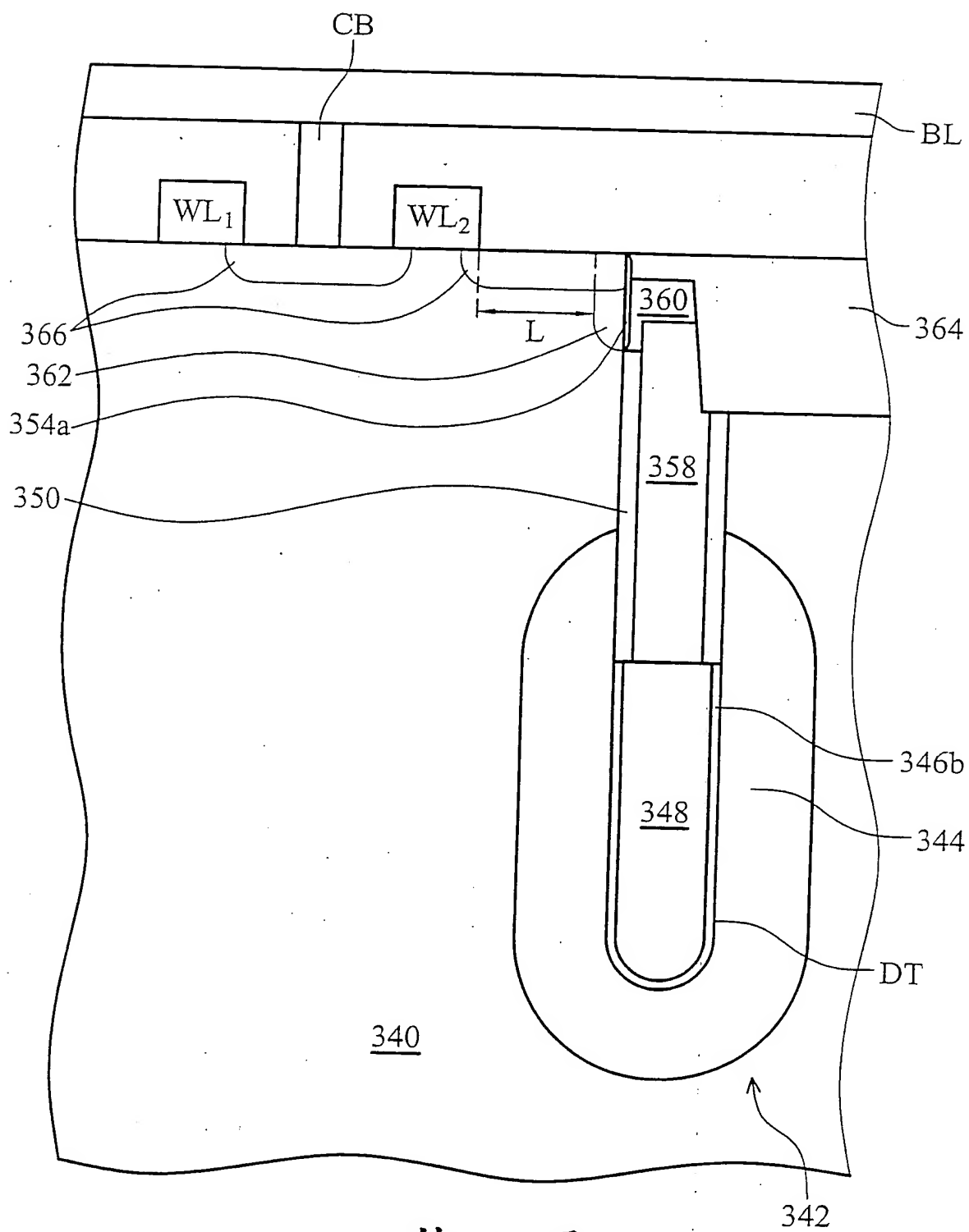
第3H圖



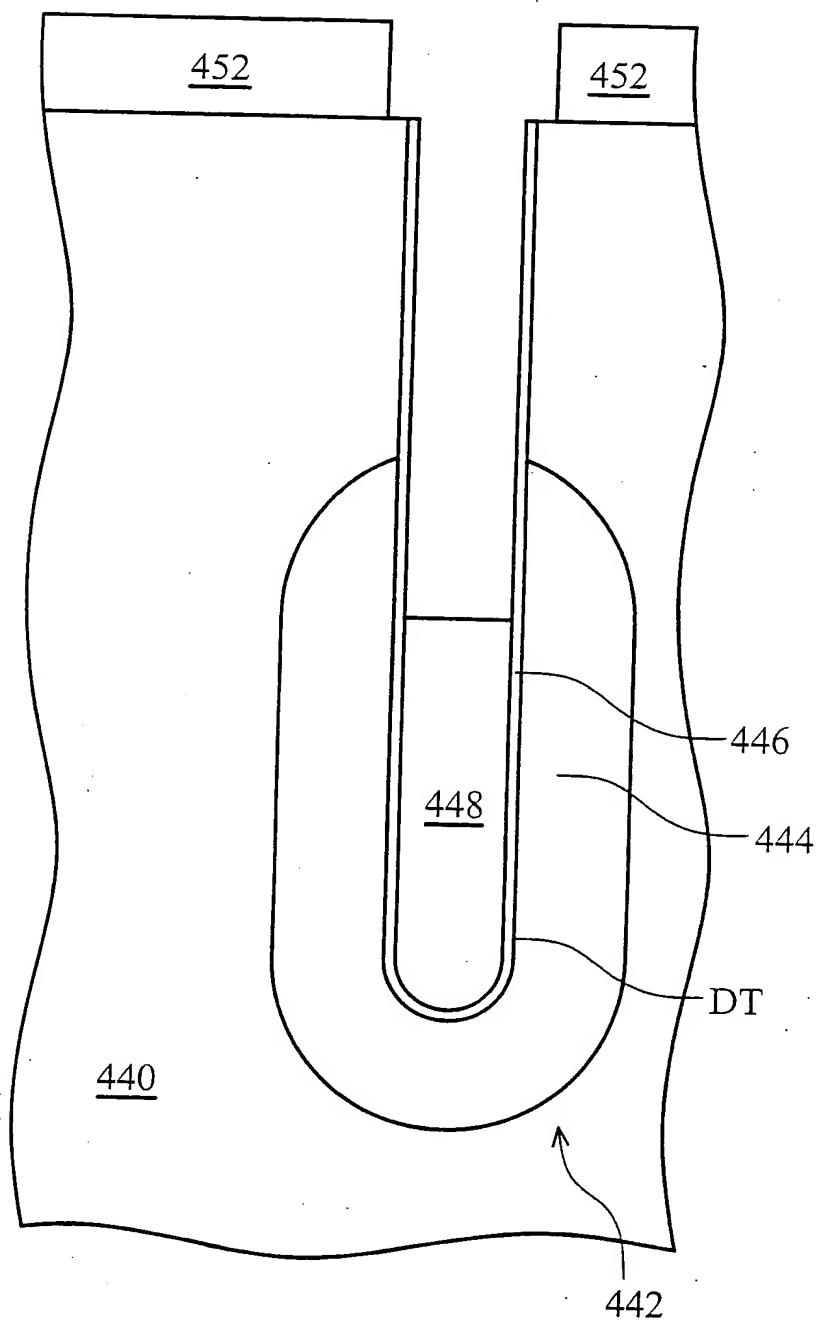
第31 圖



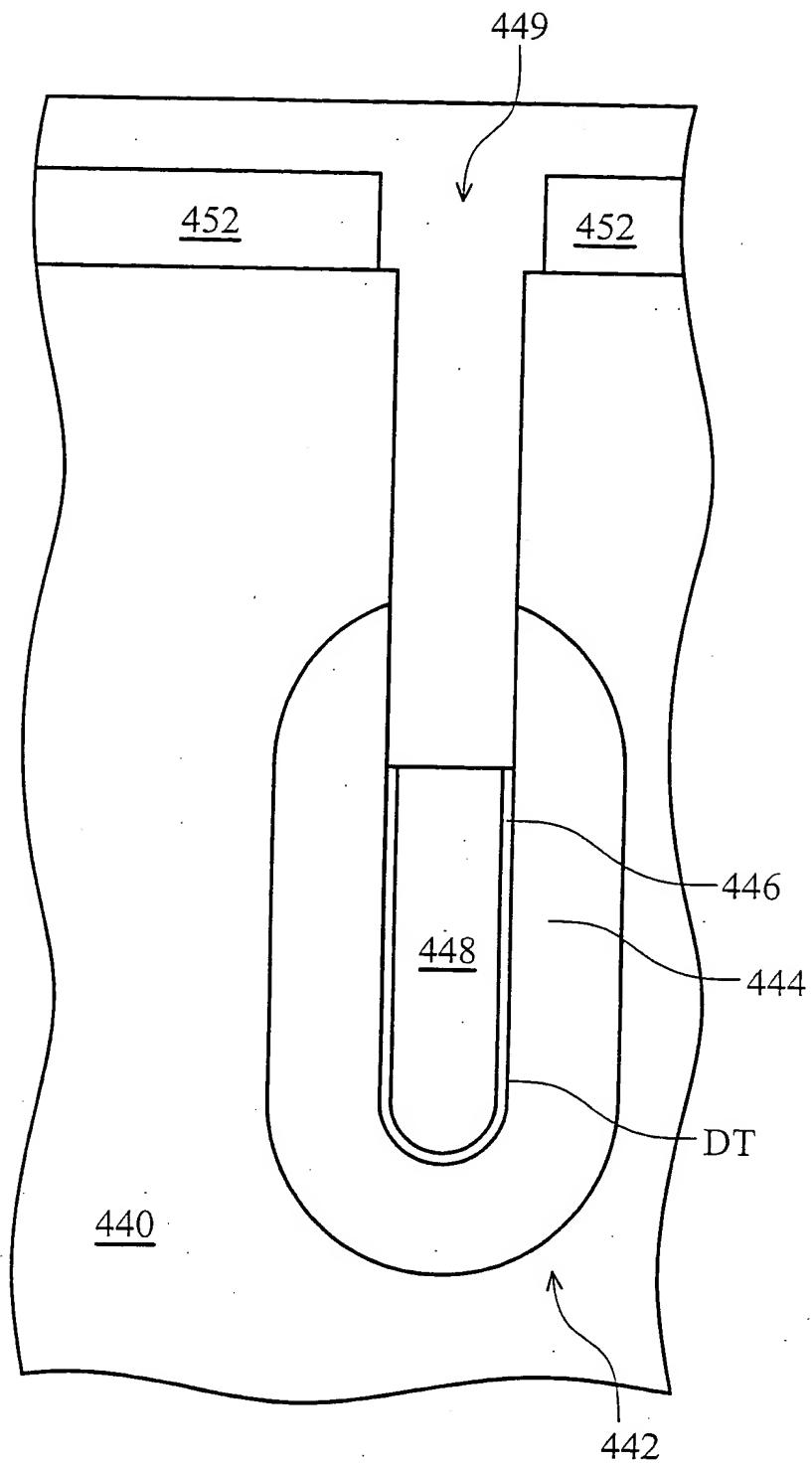
第3J圖



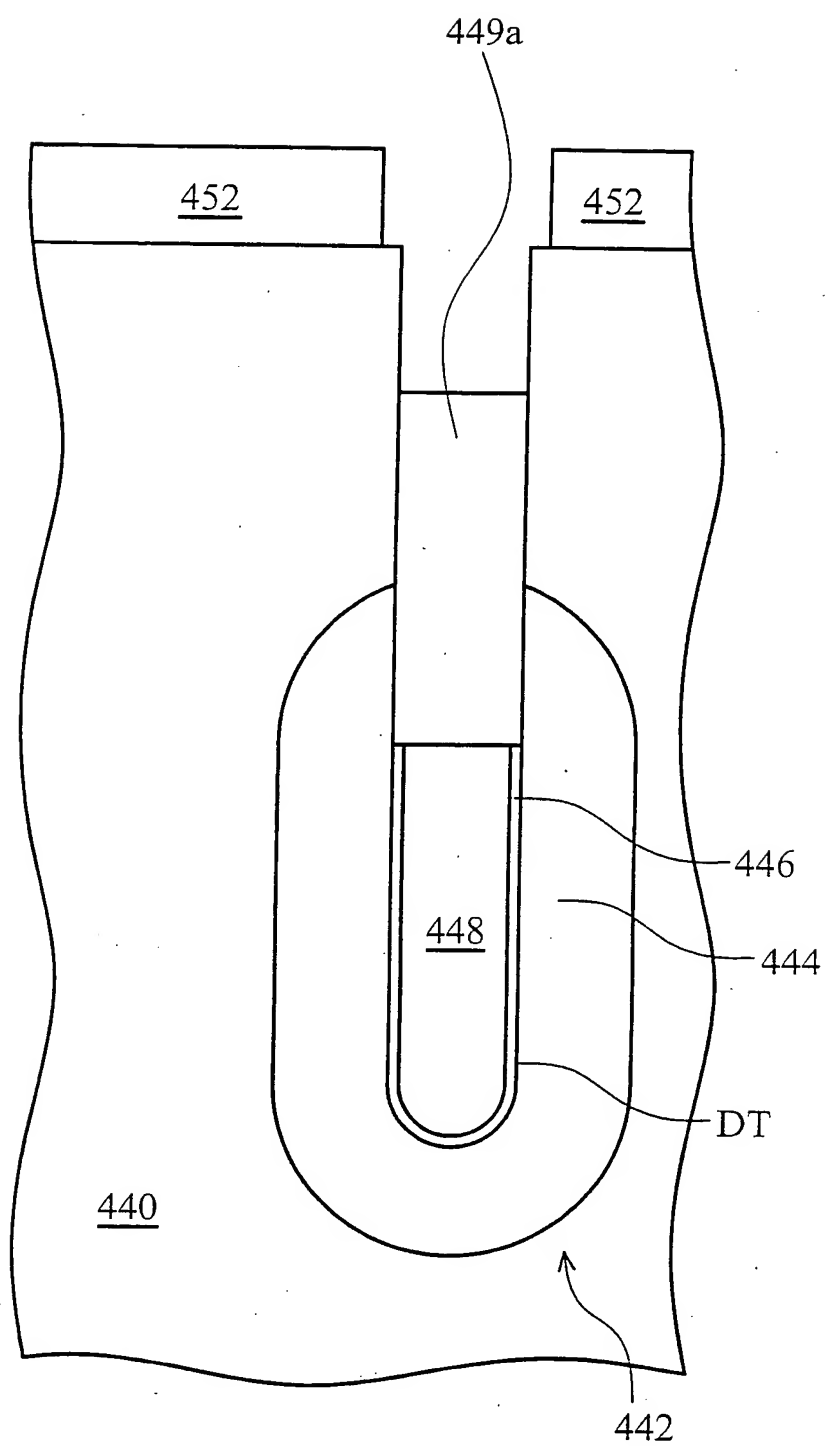
第3K圖



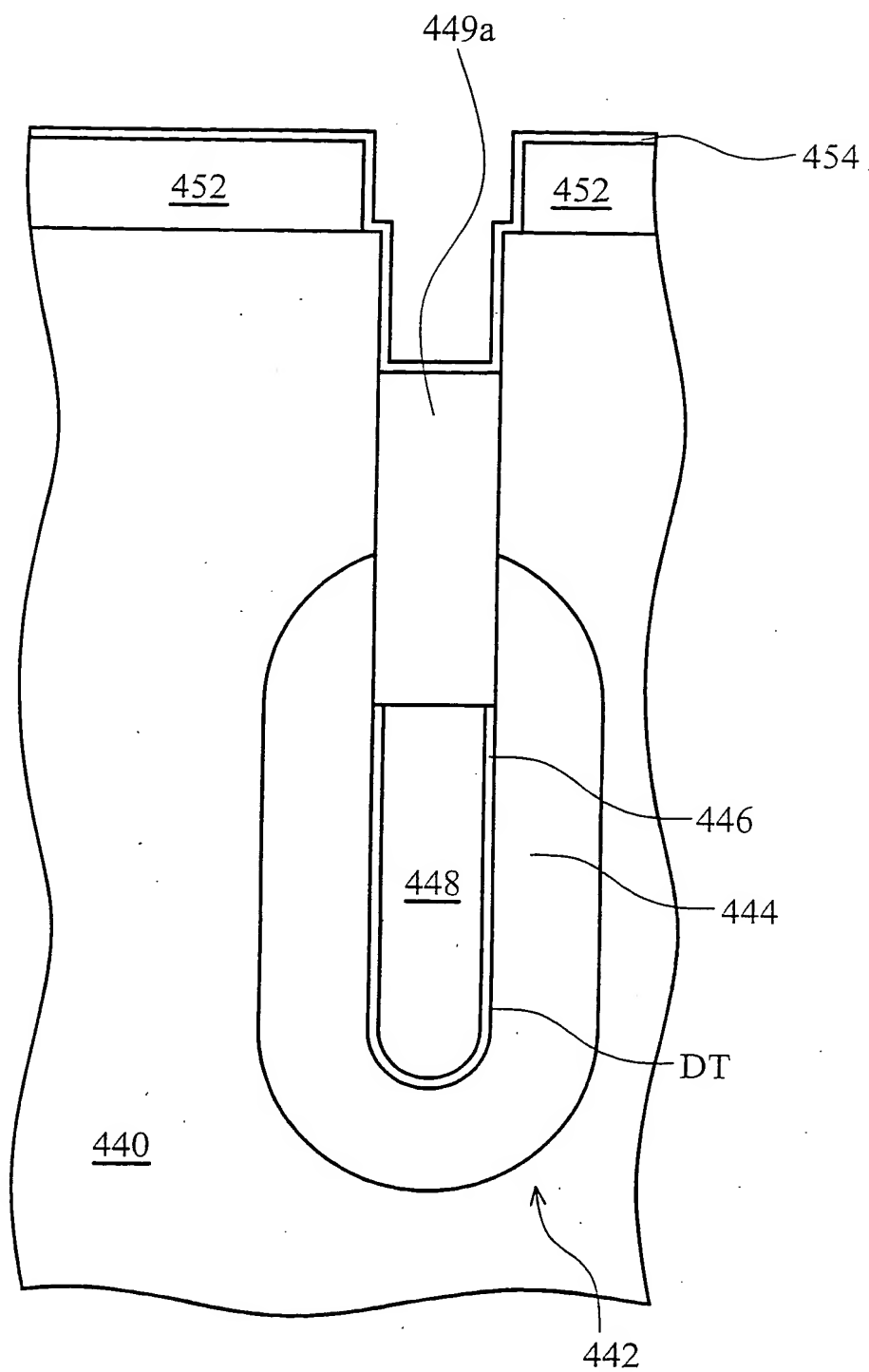
第4A圖



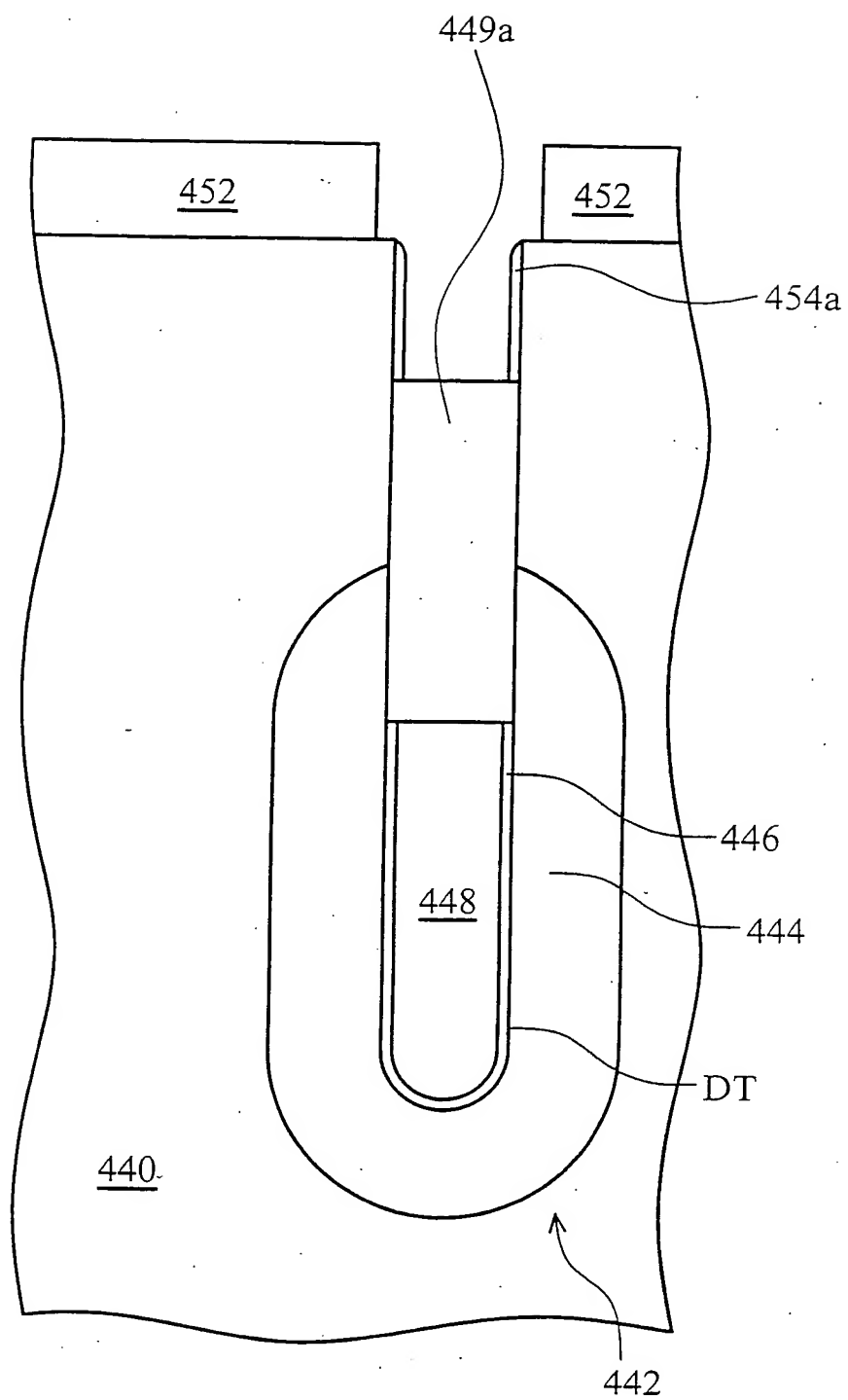
第4B圖



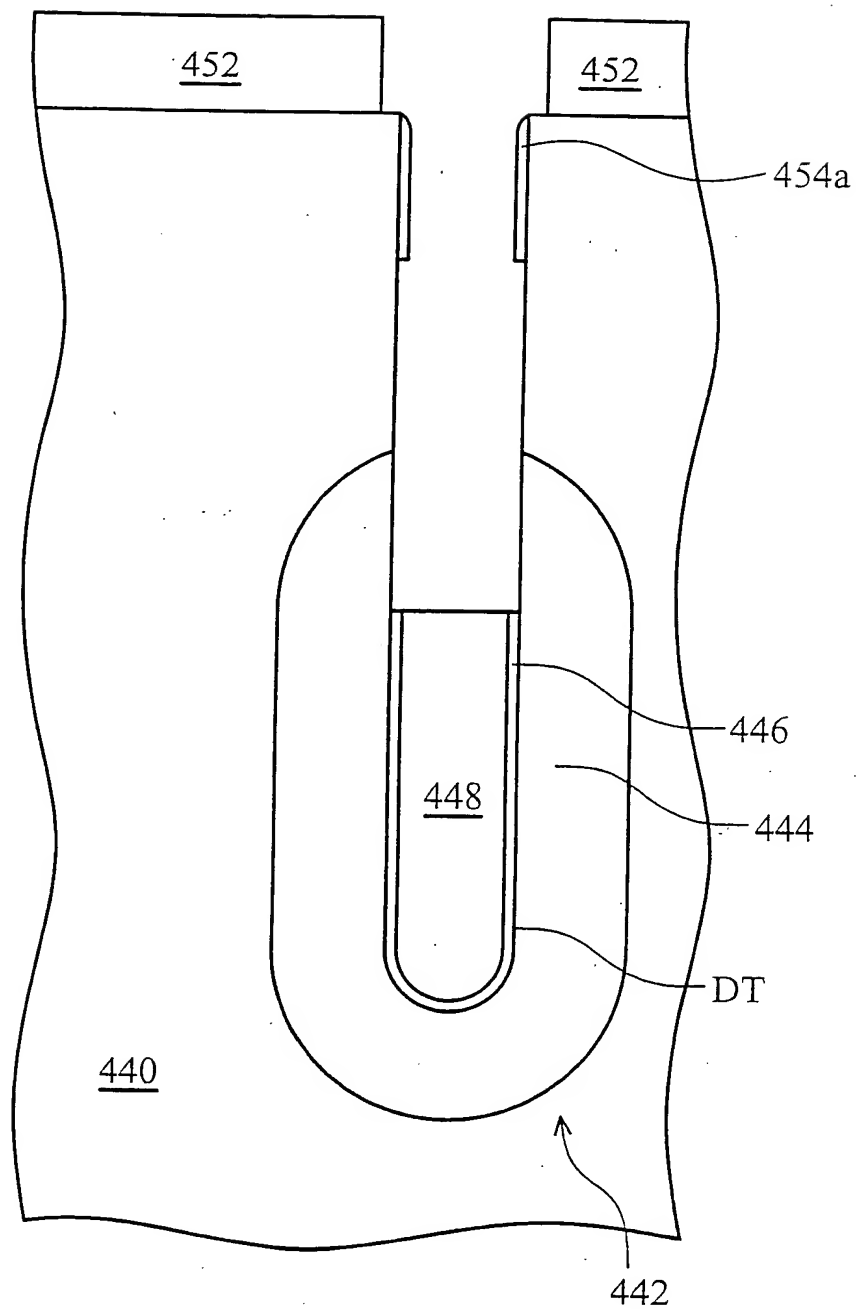
第 4C 圖



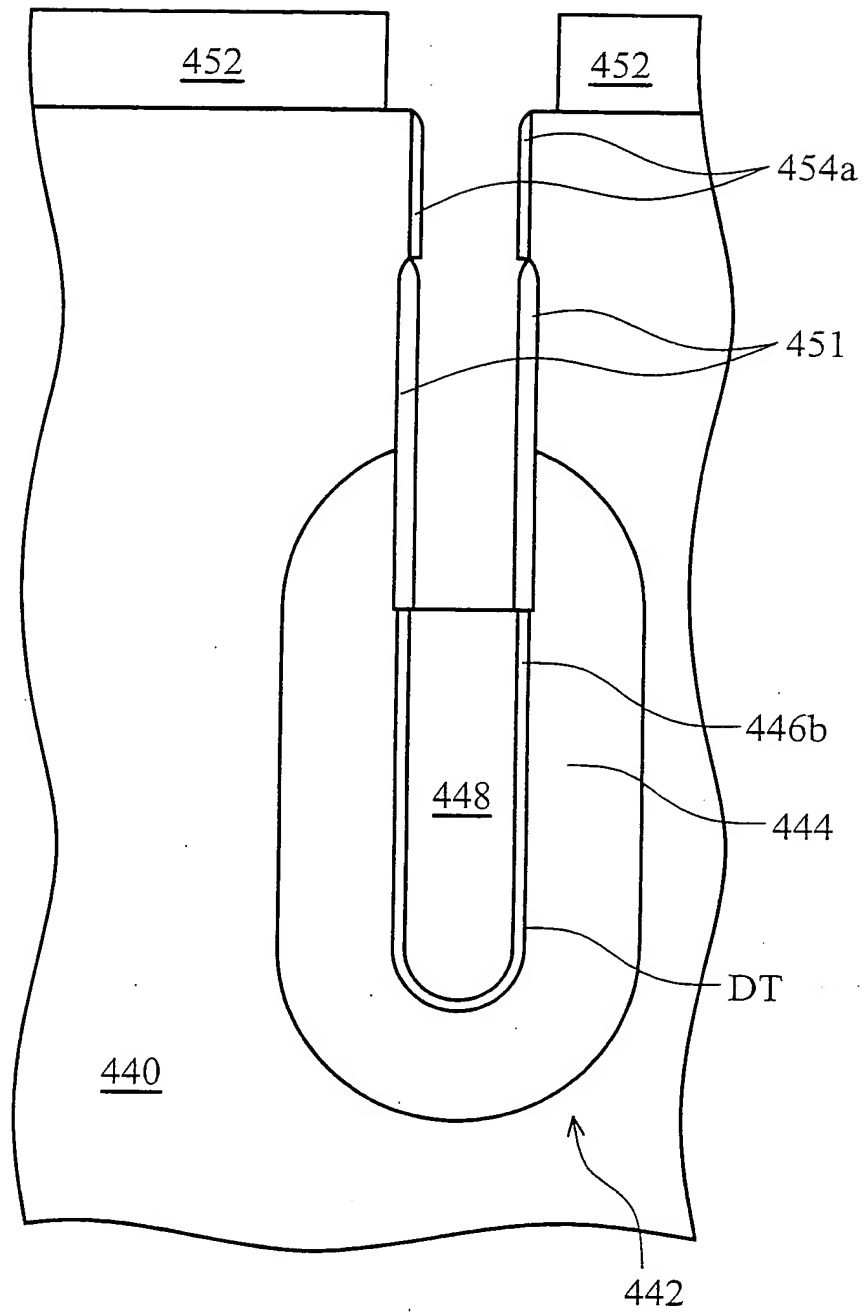
第4D圖



第4E圖

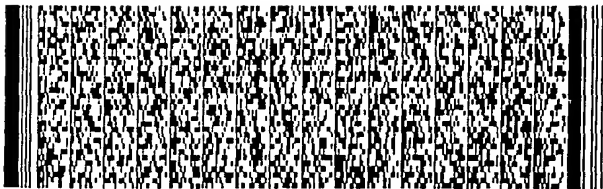


第 4F 圖

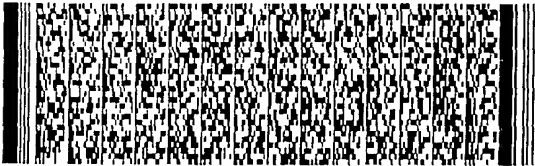


第 4G 圖

第 1/21 頁



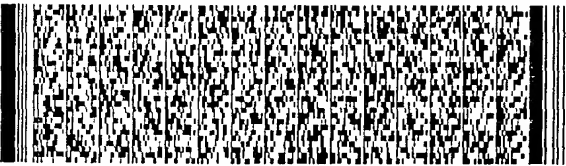
第 2/21 頁



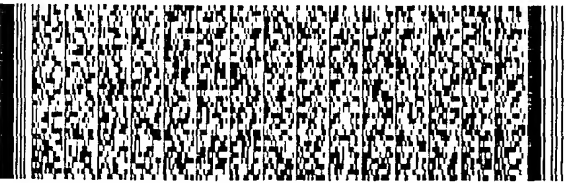
第 4/21 頁



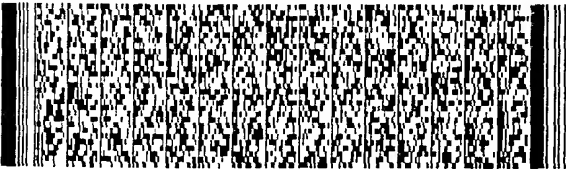
第 5/21 頁



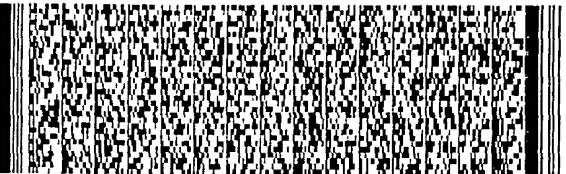
第 6/21 頁



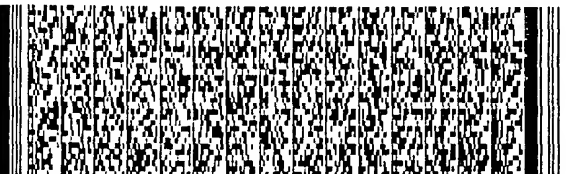
第 7/21 頁



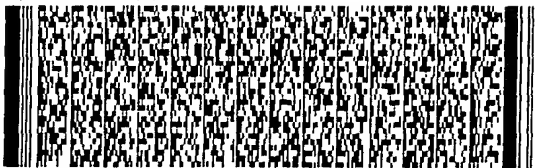
第 8/21 頁



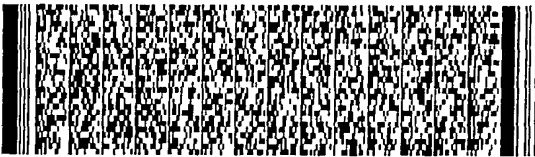
第 10/21 頁



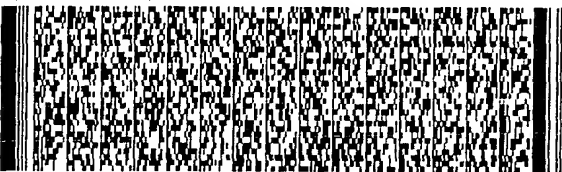
第 2/21 頁



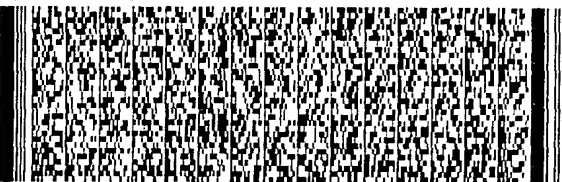
第 3/21 頁



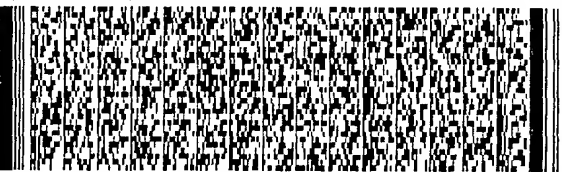
第 5/21 頁



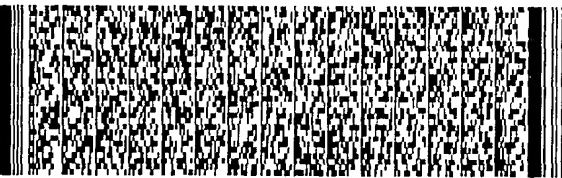
第 6/21 頁



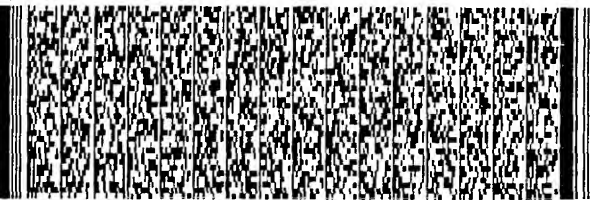
第 7/21 頁



第 8/21 頁



第 9/21 頁



第 10/21 頁

